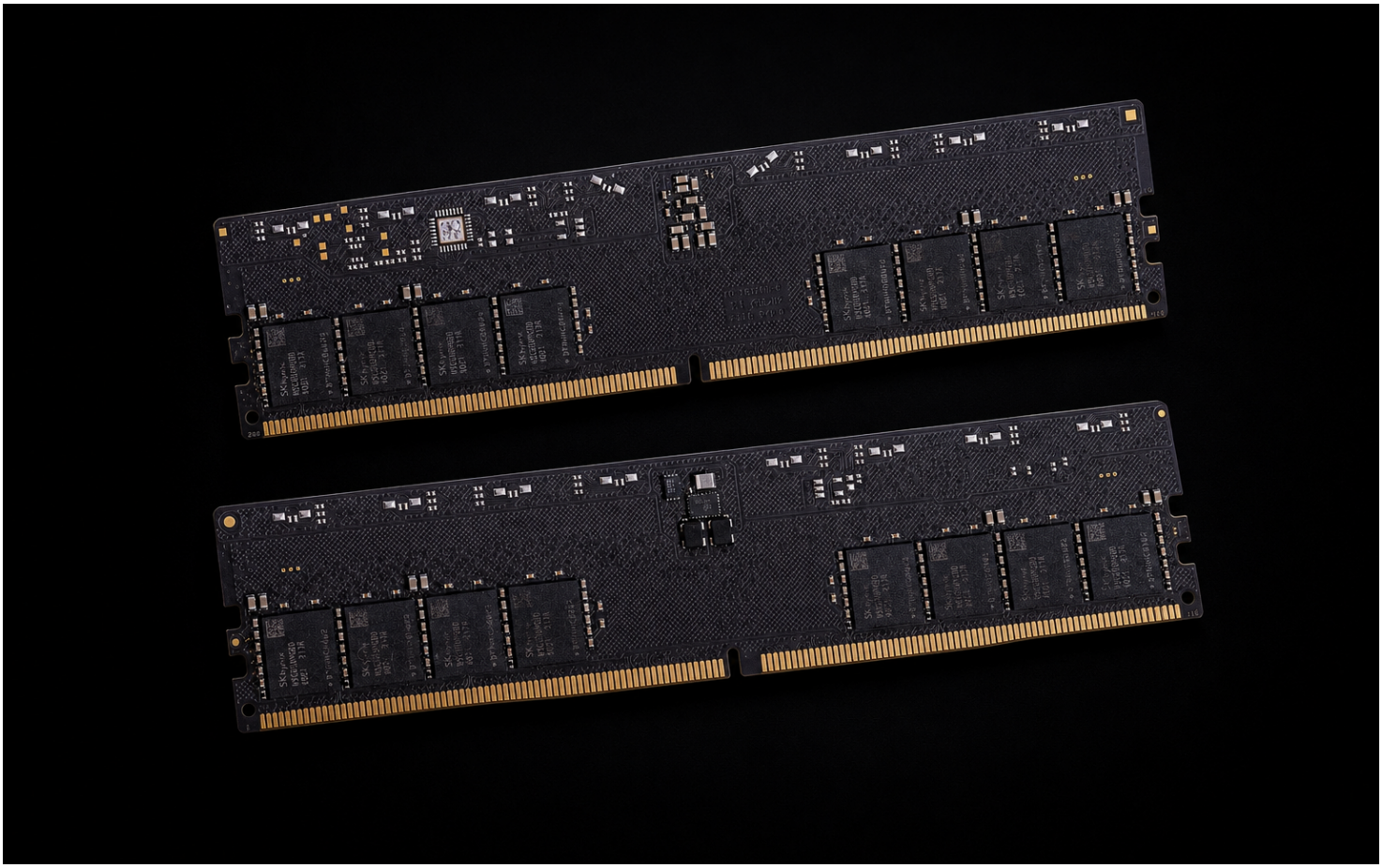
2026



НАСТРОЙКА И ОПТИМИЗАЦИЯ ОПЕРАТИВНОЙ ПАМЯТИ DDR5 НА ПЛАТФОРМАХ INTEL LGA1700 / LGA1851

МАТЧАСТЬ / ТАЙМИНГИ / НАПРЯЖЕНИЯ / ТРЕНИРОВКА / СТАБИЛЬНОСТЬ

ROG Maximus Z790 Apex (BIOS 3202)
ROG Maximus Z790 Apex Encore (BIOS 2202)
ROG Maximus Z890 Apex (BIOS 3402)

ВЕРСИЯ 5.03 (30.10.2026)

ПОЛНОЕ РУКОВОДСТВО ПО НАСТРОЙКЕ И ОПТИМИЗАЦИИ DDR5

ПАХТУНОВ М. Д. / T.ME/PXTNV | T.ME/PXTECH | OCN | REDDIT

© Максим Пахтунов, 2026 · Все права защищены

ОГЛАВЛЕНИЕ

01 / ВВЕДЕНИЕ 6

1.1 ПОДХОД И ГРАНИЦЫ: ЧИТАТЬ ВСЕМ 6

1.2 Для кого это руководство и как с ним работать 7

02 / МАТЧАСТЬ DDR5 И ВЫБОР ПЛАТФОРМЫ 9

2.1 ЧТО ИМЕННО МЫ РАЗГОНЯЕМ 9

2.2 GEAR MODE И COMMAND RATE 11

2.3 IMC: КОНТРОЛЛЕР ПАМЯТИ 13

2.4 JEDEC, MT/S И НАПРЯЖЕНИЯ 16

2.5 SPD И INTEL XMP 3.0 17

2.6 PMIC — КОНТРОЛЛЕР ПИТАНИЯ НА DDR5-МОДУЛЕ 19

2.7 РАНГ, ОРГАНИЗАЦИЯ X4/X8/X16 И ПЛОТНОСТЬ 20

2.8 УСТРОЙСТВО PCB: СТОРОНА И РАНГИ 23

2.8.1 МИКРОСХЕМА DRAM: КРИСТАЛЛ И КОРПУС 25

2.9 КОРРЕКЦИЯ ОШИБОК: ECC и ON-DIE ECC 27

2.10 ОБЪЕМ КОМПЛЕКТА И НАГРУЗКА НА IMC 29

2.11 ПРОИЗВОДИТЕЛЬ, ПЛОТНОСТЬ И РЕВИЗИЯ 31

2.12 XMP: ОТБОР МИКРОСХЕМ И КОМПЛЕКТОВ 33

2.13 DPC/SPC, МОДУЛИ И ТОПОЛОГИЯ ТРАССИРОВКИ 35

2.14 ВЫБОР ПЛАТЫ LGA1700: Z690 И Z790 37

2.15 ВЫБОР ПЛАТЫ LGA1851, Z890 40

2.16 РАЗБОР 1SPC ПЛАТ MAXSUN Z690–Z890 42

2.17 КЛАССИФИКАЦИЯ МАТЕРИНСКИХ ПЛАТ 44

2.18 ПРАКТИЧЕСКИЙ ВЫБОР ПЛАТФОРМЫ И КОМПЛЕКТА 46

03 / ТАЙМИНГИ 48

3.1 ЧТЕНИЕ ТАЙМИНГОВ 48

3.2 ПУТЬ КОМАНДЫ: ГДЕ ПОЯВЛЯЕТСЯ ЗАДЕРЖКА 49

3.3 ПЕРВИЧНЫЕ ТАЙМИНГИ 50

3.4 ВТОРИЧНЫЕ: АКТИВАЦИЯ И ГРУППЫ БАНКОВ 52

3.5 tFAW: ПОЧЕМУ 32/40 — БАЗА 54

3.6 ВТОРИЧНЫЕ: ЧТЕНИЕ, ЗАПИСЬ И ВОССТАНОВЛЕНИЕ 55

3.7 ВТОРИЧНЫЕ: ОБНОВЛЕНИЕ ДАННЫХ 56

3.8 ТРЕТИЧНЫЕ: ПЕРЕХОДЫ МЕЖДУ КОМАНДАМИ 61

3.9 СЛУЖЕБНЫЕ И ЭНЕРГОСБЕРЕГАЮЩИЕ ТАЙМИНГИ 62

3.10 КОРРЕЛЯЦИИ: IC, РАНГ, ПЛОТНОСТЬ И ОБЪЁМ 64

3.11 ASUS Z790 APEX ENCORE BIOS 2202 65

3.12 ASUS Z890 APEX: ЧТО ИЗМЕНИЛОСЬ 67

04 / НАПРЯЖЕНИЯ 69

4.1 Карта питания: CPU, IMC/PHY, DIMM 69

4.2 CPU System Agent Voltage: SA 69

4.3 CPU VDDQ TX 70
4.4 VDD2: питание интерфейса IMC 70
4.5 DRAM VDD и VDDQ 71
4.6 Служебные настройки питания 72
4.7 Подбор напряжений 73
4.8 Названия напряжений в BIOS ASUS 74
4.9 Ориентиры по напряжениям 74

05 / НАСТРОЙКА И ТРЕНИРОВКА ПАМЯТИ 77

5.1 Подготовка системы 77
5.2 Выбор исходных параметров 78
5.3 Тренировка памяти MRC 79
5.4 ЗАПУСК И ПЕРЕЗАГРУЗКА 79
5.5 Training Algorithms на ASUS Z790 80
5.6 Training Algorithms на ASUS Z890 82
5.7 Тренировка RTL/IOL 83
5.8 Особенности тренировки на Z890 86
5.9 Сопротивления: ODT, RTT, RON 87
5.10 Профили BIOS и восстановление 91

06 / АЛГОРИТМЫ ТРЕНИРОВКИ 93

6.1 Командно-адресный тракт 93
6.2 Начальная настройка чтения 94
6.3 Тренировка записи 95
6.4 Тренировка чтения 97
6.5 Терминация и передатчики 98
6.6 Эквализация приёмника 99
6.7 Калибровка PHY 100
6.8 Коррекция коэфф. заполнения (DCC) 101
6.9 Задержки чтения и переключения 102
6.10 Настройка сигнала на стороне DRAM 102
6.11 Проверка и восстановление DRAM 103
6.12 Доп. алгоритмы Z890 Apex 104
Источники главы 108

07 / ПРОВЕРКА СТАБИЛЬНОСТИ 109

7.1 Принципы проверки стабильности 109
7.2 y-cruncher 110
7.3 Karhu RAM Test 111
7.4 TestMem5 (TM5) 113
7.5 MemTest86 114
7.6 RAM Test Pro 116
7.7 Доп. тесты 117
7.8 План тестирования 118

7.9 Диагностика ошибок 118

08 / ПРОИЗВОДИТЕЛЬНОСТЬ И МОНИТОРИНГ 121

8.1 Показатели производительности 121
8.2 AIDA64 Extreme 122
8.3 CPU-Z 123
8.4 HWiNFO 124
8.4.1 Окно Memory Timings 125
8.5 ASRock Timing Configurator 126
8.6 pyhwinfo 127
8.7 ASUS MemTweakIt 129
8.8 Доп. тесты производительности 130
8.9 Протокол измерений 130

09 / ПРОГРАММЫ: ИСТОЧНИКИ И ЗАГРУЗКИ 132

y-cruncher 132
Karhu RAM Test 132
TestMem5 (TM5) 132
MemTest86 132
RAM Test Pro / RTP Benchmark 132
OCCT Personal 132
HCI MemTest 132
Контроль показателей · HWiNFO 132
AIDA64 Extreme 132
CPU-Z / Validator 132
ASRock Timing Configurator 4.1.7 132
pyhwinfo 132
ASUS MemTweakIt 132
Intel MLC 132
7-Zip 132
Cinebench 132
CapFrameX 132
Intel PresentMon 132

10 / НАДЕЖНОСТЬ И ПОВТОРЯЕМОСТЬ ОС 133

10.1 Охлаждение памяти 133
10.2 Монтаж процессора и потенциал IMC 135
10.3 BIOS и воспроизводимость профиля 137
10.4 Сохранность данных 138
10.5 Производительность в реальных задачах 138
10.6 Назначение профилей 139
10.7 Четыре DIMM и большие объёмы 140
10.8 Документирование профиля 141
10.9 Доказательная база рекомендаций 142

11 / ФОРМУЛЫ 143

ПЕРВИЧНЫЕ 143
ВТОРИЧНЫЕ 143
ТРЕТИЧНЫЕ: БАЗОВЫЙ РАСЧЁТ И ПОКАЗАНИЯ УТИЛИТ 143
ДОПОЛНИТЕЛЬНЫЕ: ПИТАНИЕ И ОБНОВЛЕНИЕ ЯЧЕЕК 143
RTL: ЭМПИРИКА ANTA777 144

12 / ГЛОССАРИЙ 145

12.1 СТАНДАРТЫ, ПЛАТФОРМА И КОНТРОЛЛЕР 145
12.2 МОДУЛЬ, ОРГАНИЗАЦИЯ И ТОПОЛОГИЯ 148
12.3 КОМАНДЫ, ШИНЫ И СИГНАЛЬНЫЕ ПУТИ 153
12.4 ПЕРВИЧНЫЕ, ВТОРИЧНЫЕ И ТРЕТИЧНЫЕ ТАЙМИНГИ 155
12.5 REFRESH И СЛУЖЕБНЫЕ ИНТЕРВАЛЫ 157
12.6 НАПРЯЖЕНИЯ И ДОМЕНЫ ПИТАНИЯ 159
12.7 ТЕРМИНАЦИЯ И КАЧЕСТВО СИГНАЛА 161
12.8 ТРЕНИРОВКА, БУТ И ВОССТАНОВЛЕНИЕ 163
12.9 ПРОФИЛИ, ОШИБКИ И СТАБИЛЬНОСТЬ 166
12.10 ИНСТРУМЕНТЫ, НАГРУЗКИ И МЕТРИКИ 168
12.11 ПРОДВИНУТАЯ НАСТРОЙКА TRAINING ALGORITHMS 171

13 / ИСПОЛЬЗУЕМАЯ ДОКУМЕНТАЦИЯ 173

СТАНДАРТЫ JEDEC 173
INTEL: ПРОЦЕССОРЫ И КОНТРОЛЛЕР ПАМЯТИ 173
AMD: КОНТРОЛЛЕРЫ ПАМЯТИ 173
МАТЕРИНСКИЕ ПЛАТЫ И BIOS 173
DRAM И СЛУЖЕБНЫЕ МИКРОСХЕМЫ 173
ТЕСТИРОВАНИЕ СТАБИЛЬНОСТИ 174
ТЕСТЫ И КОНТРОЛЬ ПОКАЗАТЕЛЕЙ 174
ЦЕЛОСТНОСТЬ ДАННЫХ И ЭКСПЛУАТАЦИЯ 174
МАТЕРИАЛЫ СООБЩЕСТВА И ОРИГИНАЛЬНЫЕ ИЗМЕРЕНИЯ 174
13.1 TRAINING ALGORITHMS: источники 174

01 / ВВЕДЕНИЕ

1.1 ПОДХОД И ГРАНИЦЫ: ЧИТАТЬ ВСЕМ

> Даже глубокое понимание физики интерфейса и степень в области электротехники сами по себе не гарантируют достоверного результата. Для сравнения нужны сопоставимые условия, контроль существенных переменных и учёт погрешности метода. При измерениях осциллографом через интерпозер нужно учитывать влияние пробника и интерпозера на сигнал, при чтении регистров — назначение полей, момент считывания и состояние системы. Даже при соблюдении этих условий неучтённые факторы и ошибки интерпретации могут повлиять на достоверность итогового вывода.

НА КАКОМ УРОВНЕ МЫ РАЗБИРАЕМСЯ

Разобраться в работе памяти можно на пяти уровнях. Выбор зависит от вопроса: иногда достаточно повторяемого теста, иногда нужны документация, код BIOS или измерения сигнала.

1. Теория	Разбираемся в принципах работы памяти, назначении параметров и их взаимосвязях, чтобы понимать, что меняем и какие результаты ожидаем.
2. Практика	Меняем настройки BIOS, повторяем POST и тесты. Проверяем стабильность, производительность и температуру.
3. Документация и считывание параметров	Сверяем спецификации, чужие результаты и считанные параметры системы. Отделяем смысл поля от догадок о его работе.
4. BIOS/MRC и регистры	Разбираем код, регистры и журналы конкретной прошивки. Устанавливаем, какой этап memory training (обучения памяти) выполнялся и что он изменил.
5. Физические измерения	Смотрим сигналы и временные интервалы осциллографом или анализатором. Измерения на интерфейсе не показывают все процессы внутри кристалла.

ГДЕ РАБОТАЮ Я И ЧТО МОГУ УТВЕРЖДАТЬ

Я работаю на первых трёх уровнях: изучаю теорию, проверяю поведение системы и разбираю технические данные. Пользу отдельного переключателя оцениваю сравнением повторяемых результатов. Если разницы не видно, оставляю вопрос открытым. Мой вклад — практическая проверка рекомендаций и систематизация технических данных. Такая работа имеет самостоятельную ценность.

> **Отделяю проверенный результат от объяснения его причины. Когда данных недостаточно, так и пишу. По мере появления новых измерений уточняю выводы и исправляю ошибки.**
>
> При разгоне памяти нет «правильных» результатов тренировки или значений ODT, подходящих всем конфигурациям. Мои рекомендации опираются на личный опыт, опыт сообщества и проверенную техническую документацию. Они служат отправной точкой: настройки нужно подобрать и проверить на вашей системе. Даже небольшой нагрев чипов может повлиять на результат следующей тренировки и запас стабильности при уже выбранных настройках, особенно если система работает близко к своему пределу.

МОЙ ПРИМЕР: READ TIMING CENTERING 2D

В недавнем обсуждении я разбирал Read Timing Centering 2D из Training Algorithms. Этот переключатель включает или отключает этап тренировки. Руководство ASUS по BIOS [1] перечисляет Auto/Disabled/Enabled без объяснения алгоритма. В Intel FSP для Raptor Lake-S [2] поле RDTC2D также управляет включением этапа. Эти сведения объясняют назначение поля; применение в конкретном BIOS требует отдельной проверки. Я предпочитаю Enabled. Для вашего профиля этот вариант нужно проверить отдельно. Подробный разбор настроек приведён в главе «Training Algorithms».

1.2 Для кого это руководство и как с ним работать

Это руководство можно читать последовательно, если вы только начинаете, или использовать как справочник, если база уже знакома. В обоих случаях цель одна: понимать, зачем меняется параметр, как он связан с остальными настройками и чем проверить результат.

ЕСЛИ ВЫ НАСТРАИВАЕТЕ DDR5 ВПЕРВЫЕ

Сначала разберитесь в различиях JEDEC и XMP и в том, как объём, ранг и топология влияют на частоту. Затем проверьте исходную конфигурацию. Не начинайте с полного набора чужих значений: при ошибке будет трудно найти причину. Короткий маршрут настройки — по ссылкам ниже.

ЕСЛИ ОПЫТ УЖЕ ЕСТЬ

Руководство можно использовать как справочник. Переходите к нужной группе таймингов, напряжений или параметров тренировки, но сверяйтесь с базовой главой, когда меняется платформа, объем памяти или тип модулей. Для LGA1851 и CUDIMM используйте соответствующие разделы: работа IMC, CKD и тренировки отличается от Z790.

КАК РАБОТАТЬ С НАСТРОЙКОЙ

1. СОХРАНИТЕ ИСХОДНУЮ ТОЧКУ

Сначала проверьте JEDEC/Auto, затем отдельно XMP. Запишите версию BIOS, фактическую частоту, напряжения и обученные значения.

2. МЕНЯЙТЕ ПО ОДНОМУ

За одну итерацию меняйте один параметр или заранее описанную связку. Даже связанные напряжения сначала корректируйте по одному; совместно меняйте их только тогда, когда уже понятна роль каждого.

3. ПОВТОРЯЙТЕ ТРЕНИРОВКУ

После важных изменений проверяйте не только ребут, но и холодный бут. Один удачный бут еще не доказывает повторяемость.

4. ИСПОЛЬЗУЙТЕ НЕСКОЛЬКО ТЕСТОВ

Для проверки разных типов ошибок нужна связка тестов. Связка должна проверять сами модули, контроллер памяти и поведение системы в реальных задачах.

5. ОСТАВЛЯЙТЕ ЗАПАС

Повседневный профиль должен быть немного консервативнее последней найденной границы устойчивости и сохранять стабильность при другой температуре и после простоя.

ЧТО ЗАПИСЫВАТЬ ПОСЛЕ КАЖДОГО ШАГА

В журнале достаточно фиксировать измененный параметр, частоту, основные напряжения, температуру модулей, результат тестов и поведение при холодном буте. Короткая понятная запись полезнее большого набора снимков экрана без пояснений: по ней можно быстро увидеть последнюю удачную точку и понять, после какого изменения появилась ошибка.

КОГДА МОЖНО ОСТАНОВИТЬСЯ

Профиль можно считать готовым, когда он повторяется после нескольких холодных бутов, проходит связку разных тестов и не дает ошибок в обычных задачах при рабочей температуре. Бесконечный прогон одного теста даёт меньше уверенности, чем несколько нагрузок, которые проверяют разные части системы.

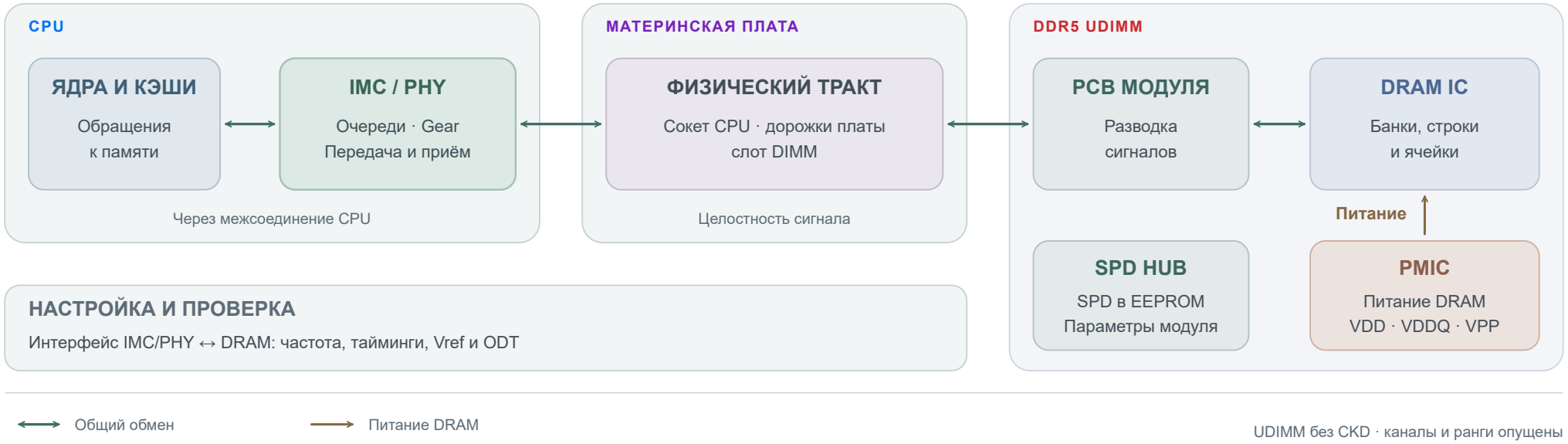
> **ВАЖНО ДО НАЧАЛА**
>
> XMP тоже является разгоном относительно базового режима JEDEC. Ошибки памяти могут быть как явными, так и незаметными, с повреждением данных. Поэтому храните резервную копию важных файлов на другом носителе или в облаке, а эксперименты проводите на системе, которую можно безопасно восстановить.

02 / МАТЧАСТЬ DDR5 И ВЫБОР ПЛАТФОРМЫ

2.1 ЧТО ИМЕННО МЫ РАЗГОНЯЕМ

Разгон DDR5 — настройка всей цепочки от контроллера в процессоре до ячеек DRAM. При повышении Memory Frequency (частоты памяти) растут требования ко всему сигнальному тракту: процессорному разъёму, дорожкам платы и разъёму DIMM. Интерфейс должен правильно обучаться и повторять результат при каждом буте.

ОТ ПРОЦЕССОРА ДО ЯЧЕЕК DRAM



СКОРОСТЬ ПЕРЕДАЧИ И ТАКТОВАЯ ЧАСТОТА

Скорость передачи R указывается в MT/s — миллионах передач в секунду на каждом контакте данных. DDR5 передаёт данные по обоим фронтам такта, поэтому тактовая частота интерфейса **fCK** вдвое ниже скорости передачи. **tCK** — длительность одного такта.

Для R в MT/s:

- fCK (MHz) = R / 2
- tCK (нс) = 1000 / fCK = 2000 / R
- ПСП одного 64-битного канала (ГБ/с) = R × 8 / 1000
- ПСП двух 64-битных каналов (ГБ/с) = R × 16 / 1000

Пример для DDR5-4800:

- fCK = 4800 / 2 = 2400 MHz
- tCK = 2000 / 4800 ≈ 0,417 нс
- ПСП одного канала = 4800 × 8 / 1000 = 38,4 ГБ/с
- ПСП двух каналов = 4800 × 16 / 1000 = 76,8 ГБ/с

Режим	fCK	tCK	ПСП / 64 бит	ПСП / 2 × 64 бит
DDR5-4800	2400 MHz	0,417 нс	38,4 ГБ/с	76,8 ГБ/с
DDR5-5600	2800 MHz	0,357 нс	44,8 ГБ/с	89,6 ГБ/с
DDR5-6000	3000 MHz	0,333 нс	48,0 ГБ/с	96,0 ГБ/с
DDR5-7200	3600 MHz	0,278 нс	57,6 ГБ/с	115,2 ГБ/с
DDR5-8000	4000 MHz	0,250 нс	64,0 ГБ/с	128,0 ГБ/с
DDR5-8800	4400 MHz	0,227 нс	70,4 ГБ/с	140,8 ГБ/с

ГБ/с указаны в десятичных единицах. Это теоретическая ПСП шины данных; практический результат зависит от характера доступа, обновления DRAM и работы контроллера.

CL, ЗАДЕРЖКА И ЧАСТОТА

CL (CAS Latency) — число тактов от команды чтения READ до начала выдачи данных DRAM. Длительность этого интервала в наносекундах рассчитывается по формуле:

CAS-задержка (нс) = CL × tCK = CL × 2000 / R, где **R** — скорость передачи в MT/s.

Например, **DDR4-3600 CL18** и **DDR5-7200 CL36** имеют одинаковую CAS-задержку — **10 нс**. У DDR5 число тактов вдвое больше, а каждый такт вдвое короче. При этом теоретическая ПСП одного 64-битного канала составляет **28,8 ГБ/с для DDR4-3600** и **57,6 ГБ/с для DDR5-7200**.

Ключевое преимущество DDR5 — высокая пропускная способность благодаря существенно более высоким скоростям передачи. При сопоставимой CAS-задержке DDR5 позволяет передавать значительно больше данных за единицу времени, в отличие от DDR4.

КАНАЛ, СУБКАНАЛЫ И КОНТРОЛЛЕР

Обычный DDR5 UDIMM остается 64-битным, но делится на два независимых 32-битных субканала. Они повышают параллелизм внутри одного канала памяти. Два CPU-канала по 64 бита по-прежнему требуют как минимум двух правильно установленных модулей.

Gear показывает отношение частоты домена контроллера к частоте тактового сигнала DRAM. Gear 1, то есть 1:1, существует в терминологии Intel и остался практически значимым прежде всего для DDR4. Для DDR5 на LGA1700 официальные рабочие точки Intel идут в Gear 2, а LGA1851 использует Gear 2 или Gear 4; как высокочастотный режим DDR5 Gear 1 неактуален. Более высокий Gear облегчает достижение больших MT/s, но добавляет задержку командного тракта.

КАКИЕ ГРУППЫ ПАРАМЕТРОВ МЕНЯЮТСЯ В BIOS

Группа	Примеры	Что меняется на практике
Частота и Gear	Memory Frequency, Gear 2/4	Потолок ПСП и задержка командного тракта.
Тайминги	tCL, tRCD, tRP, tRFC, tREFI	Паузы между операциями и эффективность доступа.
Напряжения	VDD/VDDQ, SA, TX VDDQ	Запас по сигналу, нагрев и поведение IMC.
Тренировка	Vref, ODT, задержки линий	Способность режима обучаться и повторяться после бута.

> **ПРАКТИЧЕСКИЙ ВЫВОД**
>
> MT/s задают потолок пропускной способности, тайминги определяют паузы, а IMC и физический тракт решают, сможет ли система повторять этот режим. Подбирайте частоту и тайминги с учётом возможностей IMC и платы.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: JEDEC JESD79-5D v1.41; Micron DDR5 SDRAM и характеристики клиентских модулей; Intel EDC 832586. Схема: Intel DDR5 I/O · Altera — трассировка DDR5 · Renesas PMIC · SPD Hub.

2.2 GEAR MODE И COMMAND RATE

В этой главе разберём частотный режим контроллера и выдачу команд. Gear Mode задаёт соотношение тактовых частот IMC и DRAM. Command Rate (CR) — командный интервал: он определяет выдачу команд на командно-адресном интерфейсе, включая растягивание циклов и пропуски. Эти настройки влияют на доступ к памяти вместе с задержками отдельных операций, например tCL. Поэтому логически я решил вынести эту главу сюда.

GEAR MODE

Режим	IMC : DRAM	Частота IMC
Gear 1 / G1	1:1	Равна частоте DRAM
Gear 2 / G2	1:2	Вдвое ниже DRAM
Gear 4 / G4	1:4	Вчетверо ниже DRAM

На рассматриваемых Intel-платформах с DDR5 используются G2 и G4. При DDR5-8000 микросхемы DRAM работают на 4000 МГц, а IMC — на 2000 МГц в G2 или 1000 МГц в G4.

Gear 1 и Gear 2 применялись ещё с DDR4 на настольных Core 11-го поколения; предусмотренный режим зависел от модели CPU. G1 приведён в таблице для сравнения с DDR4.

COMMAND RATE

CR	Что означает
Auto	BIOS/MRC подбирает режим под конфигурацию. Выбранное значение может отличаться от 2N.
1N / CR1	Режим более плотной выдачи команд. Доступность и фактическое применение зависят от платформы и BIOS; для рассматриваемых высоких частот базой остаётся 2N.
2N / CR2	Более консервативная выдача команд с дополнительным временным запасом командно-адресного интерфейса.
3N	Дополнительный вариант растягивания командных циклов контроллером.
N:1	По Intel: после N допустимых командных циклов подряд следует один пропуск; N = 1–7.

В ASUS Z790 E21287 перечислены Auto / 1N / 2N / 3N / N:1 и N to 1 ratio от 1 до 7. Для Z890 C25061 задаёт Auto / 1N / 2N; Intel для Core Ultra 200S описывает только 1N и 2N. Режимы 3N и N:1 в этой главе относятся к Z790.

ПРАКТИЧЕСКИЙ ВЫБОР

Для повседневного разгона DDR5 за основу берем Gear 2 + CR2

Переход к другому режиму должен давать измеримый выигрыш. После POST и бенчмарков нужна отдельная проверка повседневной стабильности. Режимы 3N и N:1 в предлагаемой повседневной настройке DDR5 не используются.

На DDR4 CR1/1T применяли для сокращения командных задержек. Для плотной настройки это был один из базовых ориентиров, особенно на Samsung B-die.

ВЫСОКИЕ СКОРОСТИ И CUDIMM

G4 снижает требуемую частоту IMC, обычно ценой роста задержки. Он применим и к UDIMM, и к CUDIMM. CKD на CUDIMM улучшает тактовый сигнал модуля; Gear выбирается в контроллере CPU. В материале ASUS от 20.11.2024 приведены 8800–9000 MT/s в G2 и выбор G2 в Auto до 9066 MT/s. Фактический предел G2 зависит от CPU, BIOS и комплекта памяти.

Kingston сравнила один комплект CUDIMM 48 ГБ (2 × 24 ГБ) при 8800 G2 и после разгона до 9600 G4. Стенд: Z890 Apex, BIOS 1801, Core Ultra 7 265K.

AIDA64	8800 · G2	9600 · G4
Чтение, ГБ/с	127,15	126,71
Запись, ГБ/с	102,14	101,79
Копирование, ГБ/с	112,47	117,85
Задержка, нс	74,6	86,7

У 8800 G2 ниже задержка, чтение и запись почти равны; копирование быстрее у 9600 G4. Сопоставлены два полных профиля памяти. Прирост FPS не подтвержден. Технически более эффективной является настройка в G2.

G.SKILL 24.10.2024 продемонстрировала 9600 CL46-58-58 в G4: 2 × 24 ГБ CUDIMM на Z890 Taichi OCF с Core Ultra 7 265K. Результат относится к показанному стенду; аналогичный комплект требует собственной проверки стабильности.

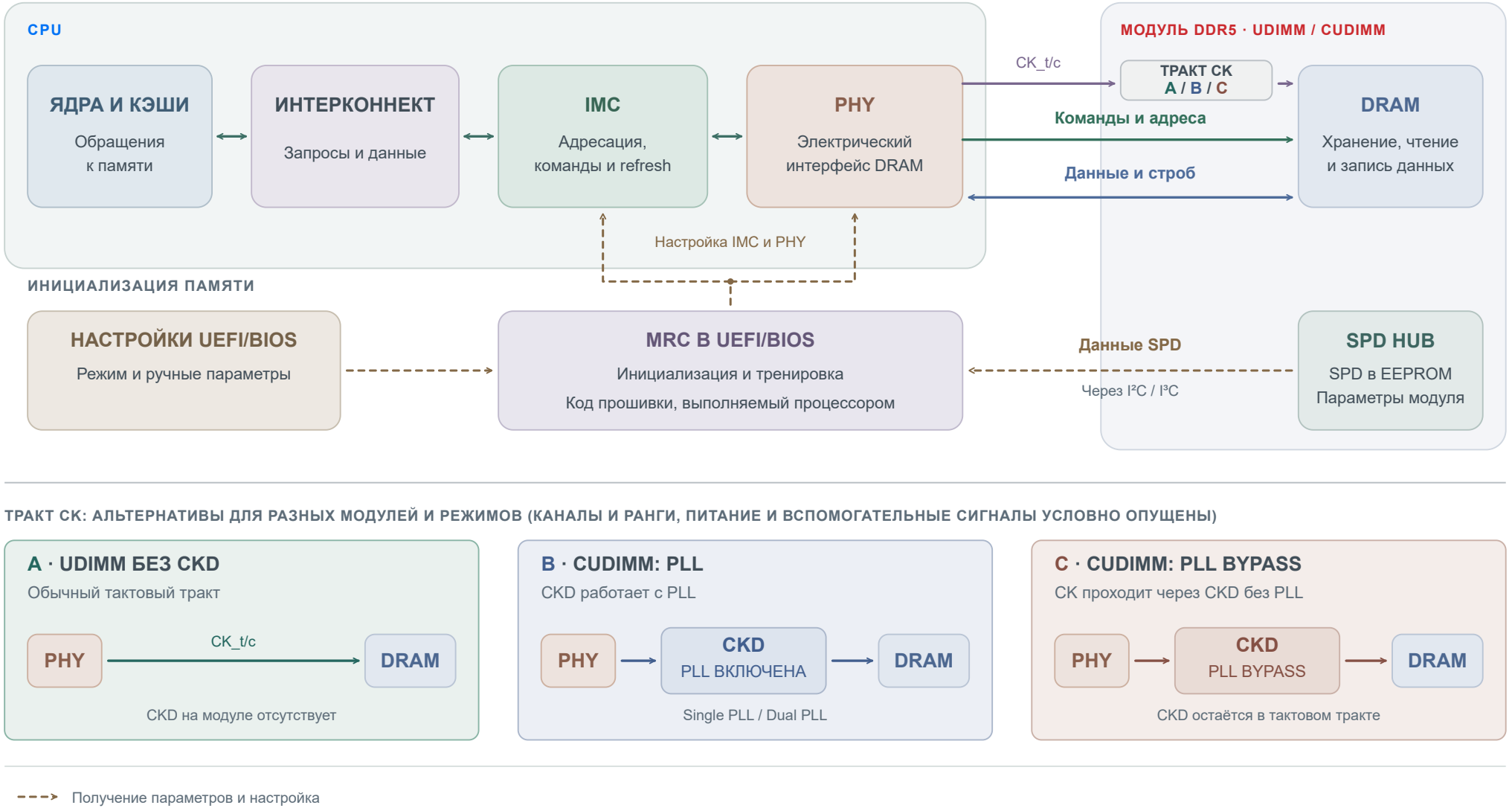
> **CR В BIOS И КОМАНДЫ ПАМЯТИ**
>
> CR показывает, как контроллер растягивает командные циклы и делает пропуски. Формат самих команд DDR5 — один или два такта — задаётся протоколом памяти. В Gear 2 контроллер работает вдвое медленнее DRAM, поэтому цифра CR в BIOS не описывает длительность каждой команды. Оговорка Intel о 2N/4N тоже требует проверки того, как ASUS применяет настройку. У N:1 в Z790 есть отдельное расхождение: Intel считает циклы перед одним пропуском, ASUS — пропуски между циклами. Поэтому по одному лишь значению N нельзя выбрать более быстрый режим.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel DDR4 · Z790 BIOS · Z890 BIOS · Intel ADL · ASUS CKD · Kingston · G.SKILL · SK hynix · Corsair · Intel ARL · DDR5 1T · B-die 1T

2.3 IMC: КОНТРОЛЛЕР ПАМЯТИ

IMC, или Integrated Memory Controller, — встроенный в процессор контроллер памяти. Он принимает запросы, распределяет их по каналам, рангам и банкам, формирует очередь DRAM-команд и обслуживает refresh. PHY отвечает за электрический обмен с линиями памяти. MRC внутри BIOS работает только на этапе бута: считывает SPD, конфигурирует IMC/PHY, запускает тренировку и оставляет рабочую конфигурацию. В рабочий путь запроса к памяти MRC не входит.

ПУТЬ ЗАПРОСА К ПАМЯТИ



UDIMM и CUDIMM: варианты тактирования A–C показаны как альтернативы.

ДВА КАНАЛА И ЧЕТЫРЕ СУБКАНАЛА DDR5

Raptor Lake-S остаётся двухканальной настольной платформой. В режиме DDR5 каждому из двух каналов памяти A и B соответствуют два независимых 32-битных субканала — суммарно 64 бита данных на канал. При задействовании обоих каналов доступны четыре 32-битных субканала. Здесь четыре 32-битных субканала образуют два 64-битных канала. У четырёхканальной платформы — четыре канала по 64 бита.

Intel описывает два независимых блока MC — по одному на memory slice (сегмент подсистемы памяти). Практически важно симметрично заселять каналы и использовать рекомендованные слоты. Субканалы позволяют планировщику гибче чередовать запросы.

Узел	Как работает	Что это значит при разгоне
Gear	Отношение частоты MC к частоте тактового сигнала DRAM: G1=1:1, G2=1:2, G4=1:4.	Штатные DDR5-точки Raptor Lake используют Gear 2. Он упрощает выход на высокие MT/s, но добавляет задержку командного тракта.
Тренировка	MRC считывает SPD, инициализирует IMC/PHY и обучает задержки, Vref и ODT.	Успешный POST подтверждает только бут. Стабильность доказывается отдельными тестами и повторными бутами.
Нагрузка	Ранг, число DIMM, второй слот и трассировка меняют электрическую нагрузку.	Предел зависит от экземпляра CPU, платы, модулей и BIOS. Большее напряжение не всегда дает лучший результат.

КАК НАГРУЗКА СНИЖАЕТ ОФИЦИАЛЬНЫЙ ОРИЕНТИР

Конфигурация DDR5 на Raptor Lake-S	Intel, MT/s
1SPC / 1DPC, один одноранговый DIMM на канал	5600
1SPC / 1DPC, один двухранговый DIMM на канал	5200
2SPC / 1DPC, установлен один DIMM на канал	4400
2SPC / 2DPC, по два одноранговых DIMM на канал	4000
2SPC / 2DPC, по два двухранговых DIMM на канал	3600

Штатные режимы старших настольных Intel Core 13-го поколения. У отдельных моделей CPU предел ниже; работа выше спецификации считается разгоном.

ПРАКТИЧЕСКИЙ ВЫВОД

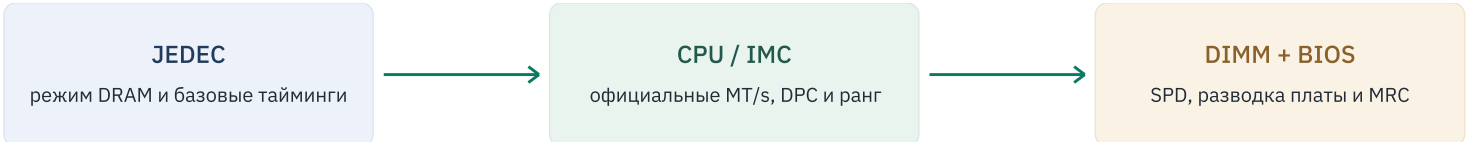
Ошибка теста памяти не доказывает дефект DRAM: ограничение может находиться в IMC, сигнале, training или напряжениях. Сначала подбираем частоту и Gear с ослабленными таймингами, затем меняем по одному параметру и проверяем холодный бут вместе с горячей нагрузкой.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel Core 13-14: техописание, том 1; контроллер памяти, организация, частота, точки SAGV и Power Training (тренировка энергопотребления интерфейса DDR). Схема: Intel — сигналы DDR5 · Intel FSP · Renesas SPD Hub · Kingston CKD. · Rambus — режимы CKD · Renesas — CKD и PLL bypass.

2.4 JEDEC, MT/S И НАПРЯЖЕНИЯ

У слова «стандарт» здесь три разных смысла. JEDEC описывает режимы самих DRAM-устройств, Intel задает штатный предел контроллера памяти конкретного процессора, а производитель модуля записывает поддерживаемые параметры в SPD. Штатным для всей системы становится только режим, который одновременно поддерживают все три уровня.

ТРИ УРОВНЯ СОВМЕСТИМОСТИ



СКОРОСТНЫЕ КЛАССЫ (SPEED BINS) JEDEC

В этой главе использован JEDEC JESD79-5D v1.41 от ноября 2025 года. Он определяет DDR5-3200, 3600, 4000, 4400, 4800, 5200, 5600, 6000, 6400, 6800, 7200, 7600, 8000, 8400, 8800 и 9200. Рабочая скорость системы также зависит от поддержки CPU, платы и модулей.

JEDEC bin	fCK	tCK	ПСП / 64 бит
DDR5-4800	2400 MHz	0,417 нс	38,4 ГБ/с
DDR5-6400	3200 MHz	0,313 нс	51,2 ГБ/с
DDR5-8000	4000 MHz	0,250 нс	64,0 ГБ/с
DDR5-9200	4600 MHz	0,217 нс	73,6 ГБ/с

ЧТО СЧИТАЕТСЯ ШТАТНЫМ НА НАШИХ ПЛАТФОРМАХ

Платформа	Официальный максимум	Что важно
LGA1700 / 12-е поколение	до DDR5-4800	Зависит от DPC и рангов; 2DPC снижает режим.
LGA1700 / 13–14-е поколения	до DDR5-5600	1SPC, 2R: 13-е поколение — 5200; 14-е — 5600*. Для 2SPC режимы ниже.
LGA1851 / Core Ultra 200S	1DPC: UDIMM 5600; CUDIMM 6400	CKD улучшает тактовый сигнал памяти; ОС зависит и от потенциала IMC.
LGA1851 / 200S Plus	1DPC CUDIMM до 7200	Официальный POR задан для конкретной конфигурации Intel; применимость к выбранным модулям проверяют по её условиям.

* В технической документации Intel для Core 14-го поколения поддержка DDR5-5600 с двухранговыми модулями (2R) пока ожидает официального включения со стороны Intel; краткое описание продукта по-прежнему указывает DDR5-5200. Поэтому 5600 не считаем безусловно доступным POR.

НОМИНАЛЬНЫЕ НАПРЯЖЕНИЯ DDR5

Для стандартного DDR5 номиналы DRAM VDD и DRAM VDDQ равны 1,10 V, а VPP — 1,80 V. Однако ручной режим при 1,10 V не становится JEDEC автоматически: должны совпасть speed bin микросхем, данные SPD, поддержка CPU и конфигурация платы. XMP часто использует более высокие VDD/VDDQ и более жесткие тайминги.

Главное правило записи: DDR5-8000 или 8000 MT/s — верно; «8000 MHz» — распространённый сленг. Тактовая частота такого интерфейса равна примерно 4000 MHz.

ПОЧЕМУ JEDEC-8000 ВСЕ РАВНО МОЖЕТ БЫТЬ РАЗГОНОМ

Speed bin DDR5-8000 в JESD79-5D означает, что стандарт описывает такой режим для совместимых DRAM-устройств. Но XMP-комплект DDR5-8000 может использовать собственные тайминги и повышенные напряжения, а официальный предел CPU при этом оставаться 5600, 6400 или 7200 MT/s. Для такой системы 8000 MT/s будет разгоном независимо от наличия числа 8000 в стандарте JEDEC.

POR (Plan of Record) — официально поддерживаемый Intel режим для указанной конфигурации модулей и рангов. Работа выше POR считается разгоном.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: JEDEC JESD79-5D v1.41; Intel EDC 655258, 743844 и 832586; Micron DDR5 SDRAM.

2.5 SPD И INTEL XMP 3.0

SPD (Serial Presence Detect) — сведения об организации и параметрах модуля, записанные в энергонезависимую память. В DDR5 эта EEPROM встроена в **SPD Hub**. BIOS читает данные SPD при запуске компьютера.

СОДЕРЖИМОЕ SPD

Группа	Что записано	Для чего используется
Организация	Тип DIMM, ёмкость, число рангов, организация DRAM (x8/x16) и ширина шины	Определение конфигурации памяти.
Параметры JEDEC	Диапазон tCK, поддерживаемые CL, минимальные временные интервалы	Расчёт базовой частоты и таймингов.
Идентификация и контроль	Производитель, P/N модуля, серийный номер, дата; CRC данных	Определение модели и проверка целостности SPD.
Расширения	XMP и области производителя/пользователя	Дополнительные профили и возможности модуля.

XMP 3.0: ПРОФИЛИ РАЗГОНА

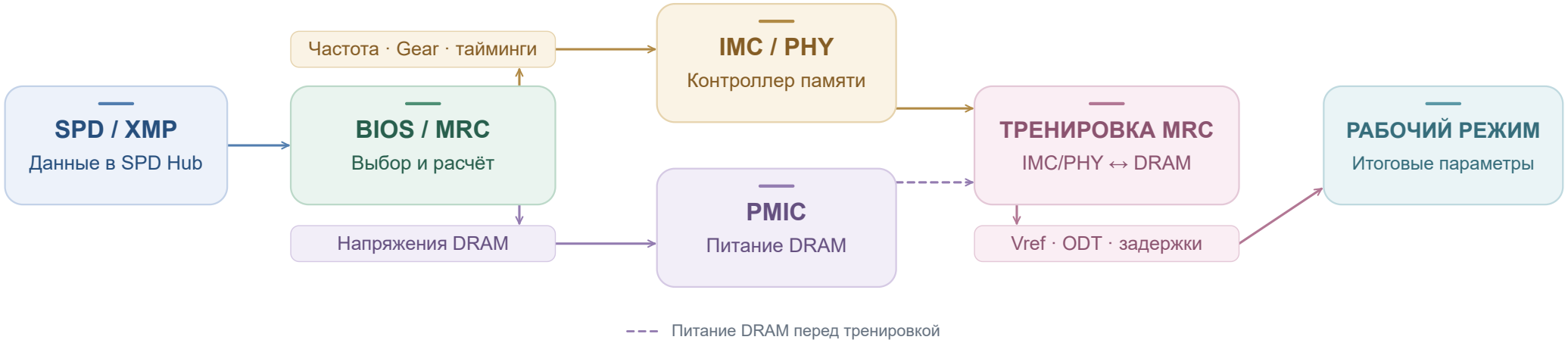
Intel XMP 3.0 — формат профилей разгона для DDR5. Заводской профиль объединяет скорость передачи, тайминги и напряжения, проверенные производителем комплекта.

Предусмотрено до пяти профилей: **до трёх заводских и два перезаписываемых пользовательских**. Набор заводских профилей зависит от модели. Пользовательские XMP записываются на модуль через BIOS или утилиту с поддержкой этой функции. Профили BIOS сохраняют набор настроек самой платы.

При первом запуске используются базовые параметры JEDEC. XMP выбирают отдельно в BIOS.

ФОРМИРОВАНИЕ РАБОЧЕГО РЕЖИМА

BIOS/MRC использует SPD/XMP для выбора частоты, Gear, таймингов и параметров IMC; PMIC обеспечивает заданные напряжения DRAM. При тренировке MRC подбирает Vref, ODT и задержки интерфейса.



Данные модуля дополняются расчётами Auto, включая часть вторичных и третичных таймингов, и результатами тренировки. Автоматические настройки зависят от платы и версии BIOS, обученные значения — также от CPU, модулей, температуры и условий запуска. Поэтому один XMP может давать разные рабочие параметры на разных платах, после обновления BIOS или повторной тренировки.

XMP В BIOS ASUS

XMP I, XMP II и XMP Tweaked определяют способ применения выбранного профиля. Сам профиль модуля выбирается отдельно.

Режим	Применение профиля
XMP I	CL, tRCD, tRP и tRAS из XMP; остальные параметры оптимизирует ASUS.
XMP II	Загрузка полного набора параметров, записанных в выбранном XMP.
XMP Tweaked	XMP с дополнительными настройками ASUS для производительности.

СОВМЕСТИМОСТЬ И QVL

Перед включением XMP сверьте с QVL платы **полный артикул комплекта или модуля (P/N) с наклейки либо упаковки**. Также проверьте ревизию при её указании, объём, число модулей и проверенную скорость. Запись относится к протестированной конфигурации. Другой экземпляр CPU, версия BIOS или объединение комплектов требуют отдельной проверки.

QVL охватывает протестированные производителем модели. Для остальных комплектов совместимость оценивают по характеристикам памяти и платформы, затем проверяют на конкретной системе.

МОЙ ПОДХОД К НАСТРОЙКЕ

Для повседневного режима я рекомендую **ручную настройку со стабильной исходной базы**. На Auto платы могут назначать избыточные напряжения, а результат тренировки требует проверки. После настройки проверьте фактические частоту, тайминги и напряжения, затем стабильность под нагрузкой и повторяемость запуска.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel XMP; Renesas SPD5118; ASUS BIOS Manual; ASUS QVL; G.SKILL FAQ; Intel FSP.

2.6 PMIC — КОНТРОЛЛЕР ПИТАНИЯ НА DDR5-МОДУЛЕ

PMIC (Power Management Integrated Circuit) преобразует питание с материнской платы в напряжения для DRAM: VDD, VDDQ и VPP. Он задаёт их уровень, управляет включением и следит за перегрузкой и перегревом. PMIC — отдельная микросхема; весь узел питания включает также дроссели, конденсаторы и другие элементы на PCB модуля.

Для настольной DDR5 выпускаются Richtek RTQ5132/RTQ5136, Renesas P8911, ANPEC APW8502C и другие решения. На 11.10.2026 подтверждены более новые клиентские разработки: Renesas RRG5332 второго поколения, класса JEDEC PMIC5120, и Think Future SY5889 с поддержкой CUDIMM. Модель и класс JEDEC описывают продукт и его возможности; ревизию кристалла устанавливают отдельно. В таблице ниже приведены модели либо буквальные маркировки с фотографий разборки.

Для ОС важны доступные напряжения, конфигурация PMIC на конкретном модуле, поддержка BIOS и устойчивое питание под нагрузкой. Richtek RTQ5136 и Think Future SY5888 интересны расширенным диапазоном VDD/VDDQ до 2,2 В. У SY5888 заявлена поддержка Intel XMP 3.0 OC. Реальная доступность

повышенного напряжения зависит от модуля и платы: один переключатель High DRAM Voltage в BIOS не снимает все ограничения. Производителя PMIC лучше проверять по маркировке: SPD и BIOS иногда определяют его неверно.

PMIC В ИССЛЕДОВАННЫХ КОМПЛЕКТАХ

Комплект, точный SKU	Номинал	PMIC: модель / маркировка	Источник, год
Kingston Fury Beast KF560C40BBK2-64	2 × 32 ГБ 6000 CL40	Richtek 0P=AC UG1	Tom’s HW 2024
G.Skill Trident Z5 NeoX RGB F5-6000A3038F16GX2-TZ5NXRK	2 × 16 ГБ 6000 CL30	ANPEC APW8502C / VBA50	Tom’s HW 2026
Patriot Viper Venom RGB PVVR532G640C32K	2 × 16 ГБ 6400 CL32	Richtek 0P=AL	TweakTown 2026
Patriot Viper Venom PVV532G640C32K	2 × 16 ГБ 6400 CL32	Think Future SY5888	Igor’sLAB 2025
Patriot Viper Xtreme 5 Aurum VXA532G8038K	2 × 16 ГБ 8000 CL38	MPS MPSG 5431 CQ83	TweakTown 2025
Corsair Dominator Titanium First Edition CMP48GX5M2X7200C36FEW	2 × 24 ГБ 7200 CL36	Richtek 0P=AD 7G1	Tom’s HW 2023
G.Skill Trident Z5 RGB F5-6400J3239F48GX2-TZ5RW	2 × 48 ГБ 6400 CL32	Richtek 0P=AJ 7G1	Tom’s HW 2024
G.Skill Trident Z5 Neo RGB F5-6000J3444F64GX2-TZ5NR	2 × 64 ГБ 6000 CL34	Richtek 0P=CF MY2	Tom’s HW 2026
V-Color Manta XFinity RGB TMXFAL6464832KWK	2 × 64 ГБ 6400 CL32	Richtek 0P=BH 3YM	Tom’s HW 2026

Указана комплектация исследованных экземпляров; PMIC может отличаться между партиями одного SKU.

> **ЧТО ВАЖНО ПРИ ВЫБОРЕ**
>
> Более новый PMIC сам по себе не улучшает разгон. Смотрите, хватает ли его возможностей для нужного профиля. Поддержка 2,2 В — возможность контроллера питания, а не безопасное напряжение для DRAM. Итоговый разгон по-прежнему ограничивают микросхемы памяти и IMC.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Richtek RTQ5136; Renesas RRG5332; Think Future SY5888; SY5889; ANPEC

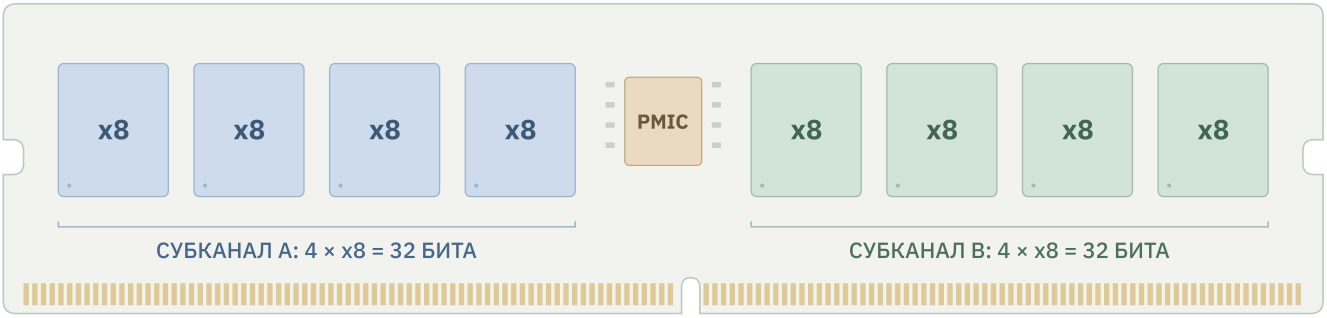
2.7 РАНГ, ОРГАНИЗАЦИЯ X4/X8/X16 И ПЛОТНОСТЬ

Надпись «32 ГБ» сообщает только общую емкость. Она не показывает число рангов, ширину микросхем и плотность одного кристалла. Эти признаки независимы, а для разгона часто важнее самого объема.

БАЗОВАЯ ОРГАНИЗАЦИЯ РАНГА DDR5: x4, x8 И x16

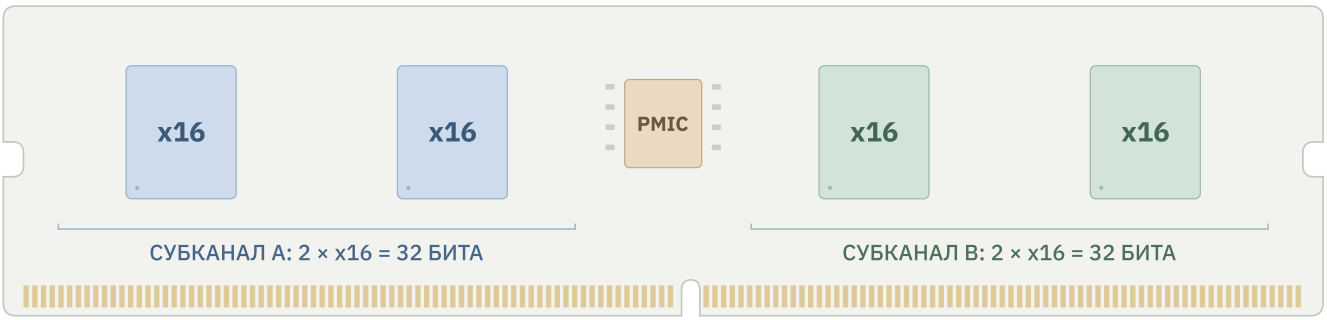
Каждая схема показывает один ранг: два независимых 32-битных субканала и 64 бита данных суммарно. x4, x8 и x16 — ширина интерфейса отдельной микросхемы DRAM.

1Rx8 · 8 микросхем данных



1 ранг · 64 бита данных · 2 субканала по 32 бита

1Rx16 · 4 микросхемы данных



1 ранг · 64 бита данных · 2 субканала по 32 бита

Размещение микросхем условное: ряды на рисунке не обозначают стороны платы или дополнительные ранги. Показана только 64-битная часть данных ранга; дополнительные микросхемы для проверочных битов системной ECC и многокристальные корпуса не рассматриваются.

x4, x8 и x16 обозначают ширину интерфейса отдельной микросхемы DRAM: 4, 8 и 16 линий данных DQ. От организации зависят внутренняя архитектура DRAM и построение ранга. Плотность в гигабитах — отдельный параметр микросхемы.

Параметр	x4	x8	x16
Разрядность DQ	4 бита	8 бит	16 бит
Размер страницы DRAM	1 КБ	1 КБ	2 КБ
Группы банков (BG)	8	8	4
Банки	32	32	16
Минимум tFAW	32 CK	32 CK	40 CK

Для DRAM 16 Гбит при DDR5-5600. По Micron: tFAW ≥ max(32 CK, 11,428 нс) для x4/x8 и max(40 CK, 14,285 нс) для x16. Подробно в главе 3.5. Для других плотностей и скоростей число банков и временные пределы уточняют по спецификации.

Размер страницы зависит от числа столбцов в строке банка и ширины DQ. Для x16: 1024 × 16 / 8 = 2048 байт (2 КБ). При открытии строки командой ACT её данные поступают в строковый буфер (row buffer).

В обычном non-ECC DDR5 UDIMM ранг содержит 8 микросхем x8 (8 × 8 = 64 бита) или 4 микросхемы x16 (4 × 16 = 64 бита). При одинаковой плотности x16 требует вдвое меньше корпусов. Эти 64 бита приходятся на два 32-битных подканала DIMM; подканалы модуля и каналы контроллера CPU — разные понятия.

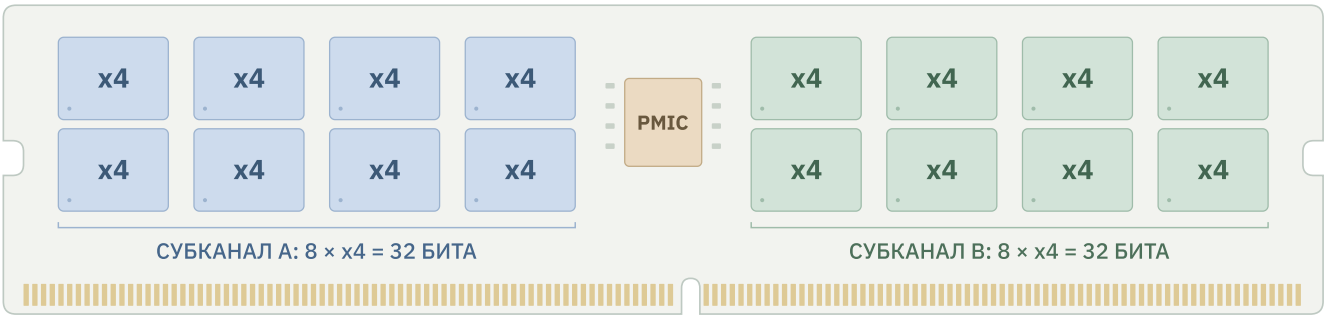
В настольной DDR5 x16 характерна прежде всего для модулей 8 ГБ: четыре микросхемы по 16 Гбит дают 8 ГБ. При другой плотности возможны и другие ёмкости. В таблице — 288-контактные UDIMM с подтверждённой организацией.

Производитель / P/N	Объём	Скорость	Организация
Kingston KVR56U46BS6-8	8 ГБ	5600 MT/s	1Rx16
Kingston KCP556US6-8	8 ГБ	5600 MT/s	1Rx16
Lexar LD5U08G56C46ST-BGS	8 ГБ	5600 MT/s	1Rx16
Transcend JM4800ALG-8G	8 ГБ	4800 MT/s	1Rx16
Transcend JM5600ALG-8G	8 ГБ	5600 MT/s	1Rx16

ОРГАНИЗАЦИЯ X4

Организация x4 характерна прежде всего для серверных ECC RDIMM. Например, Kingston KSM56R46BD4-64MH, KSM64R52BD4-64MH, KSM64R52BD4-96MC, KSM48R40BD4-64HA, KSM48R40BD4-64MD и KSM64R52BD4-128MB имеют организацию 2Rx4.

1Rx4 · 16 микросхем данных



1 ранг · 64 бита данных · 2 субканала по 32 бита

У двухрангового DIMM по-прежнему два физических субканала, просто в каждом доступны два ранга. Название «четыре субканала» иногда используют для четырёх сочетаний «ранг × субканал». Физических субканалов у такого DIMM два.

ПЛОТНОСТЬ КРИСТАЛЛА ОПРЕДЕЛЯЕТ ЕМКОСТЬ РАНГА

Плотность кристалла x8	Один кристалл	1Rx8	2Rx8
16 Гбит	2 ГБ	16 ГБ	32 ГБ
24 Гбит	3 ГБ	24 ГБ	48 ГБ
32 Гбит	4 ГБ	32 ГБ	64 ГБ

ЧТО НАЗЫВАЮТ НЕБИНАРНОЙ DDR5

Небинарной называют DDR5 на 24-Гбит кристаллах с типичными объемами 24 и 48 ГБ. В обычном non-ECC DIMM на SDP x8 один корпус содержит один кристалл. Объем в ГБ = плотность одного кристалла в Гбит × число кристаллов в ранге × число рангов / 8.

КАК ПРОВЕРИТЬ ОРГАНИЗАЦИЮ СВОЕГО МОДУЛЯ

Источник	Что искать	Надежность
SPD	Организация модуля: ранги, x8/x16 и емкость	Быстрый способ проверить установленный модуль.
Маркировка / описание	Модель и спецификация производителя	Лучший источник для серийного изделия.
Осмотр PCB	Число корпусов и их маркировку	Сторона PCB сама по себе ранг не подтверждает. Нужно смотреть маркировку чипа.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Micron: характеристики клиентских модулей DDR5; Kingston: обзор DDR5, глоссарий и руководство по DRAM 32 Гбит.

2.8 УСТРОЙСТВО PCB: СТОРОНА И РАНГИ

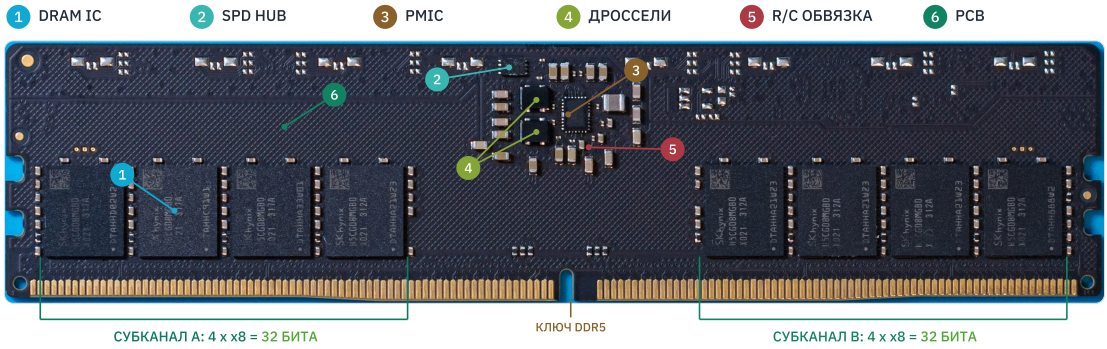
Поколение памяти меняет не только скорость. Вместе с ним меняются электрический интерфейс, рабочее напряжение, распиновка, положение ключа и внутренняя организация DIMM. Внешнее сходство не означает совместимость, а у DDR5 отдельно нужно различать физическую компоновку микросхем и логическую организацию по рангу.

ТРИ ПОКОЛЕНИЯ — ТРИ НЕСОВМЕСТИМЫХ РАЗЪЁМА



DDR3L использует 1,35 В. DDR4 и DDR5 имеют 288 контактов, но различаются распиновкой и ключом.

ЧТО НАХОДИТСЯ НА ТИПИЧНОМ DDR5 UDIMM 1RX8



TeamGroup T-Force Xtreem DDR5-8200, 24 ГБ: 1Rx8, восемь микросхем SK hynix 24 Гбит x8.

РАНГ И РАЗМЕЩЕНИЕ МИКРОСХЕМ НА ПЛАТЕ

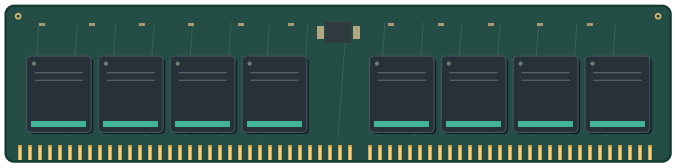
Rank (ранг) — группа DRAM, выбираемая сигналом Chip Select (выбор микросхемы). В каждом 32-битном субканале DDR5 выбирается своя группа; вместе они образуют 64-битный ранг модуля. 1Rx8 — один ранг на устройствах x8, 2Rx8 — два. Число сторон PCB не доказывает ранговость: проверяйте SPD, маркировку и техническое описание.

СТОРОНЫ PCB И РАНГ: РАЗНЫЕ ХАРАКТЕРИСТИКИ

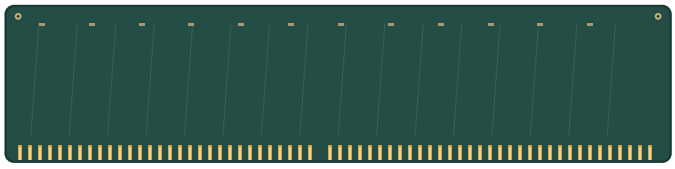
Ранговость и размещение IC по сторонам PCB — разные характеристики. **Один ранг (1R)** объединяет DRAM, выбираемые одной группой сигналов Chip Select. **Double-sided (DS)** означает лишь то, что IC физически распаяны с обеих сторон PCB. На многих DDR3/DDR4 эти признаки совпадали, что и поддерживало путаницу.

1R + SS (Single Side)

Один ранг, одна сторона



ЛИЦО · 8 DRAM



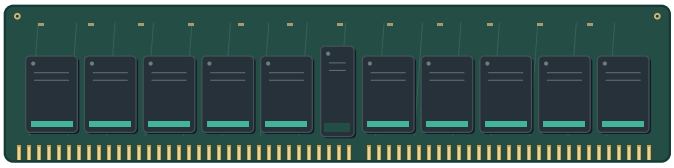
ОБОРОТ · 0 DRAM

CS0 / R0

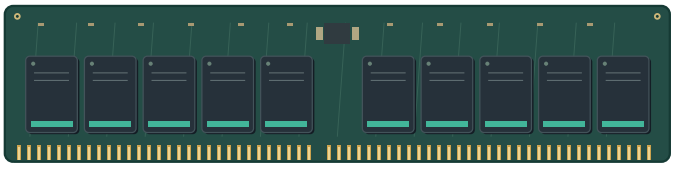
Типичный DDR5 UDIMM 1Rx8.
Восемь корпусов x8 образуют
2 × 32 бита. Обе группы - R0.

1R + DS (Double Side)

Один ранг, две стороны



ЛИЦО · 10 DRAM



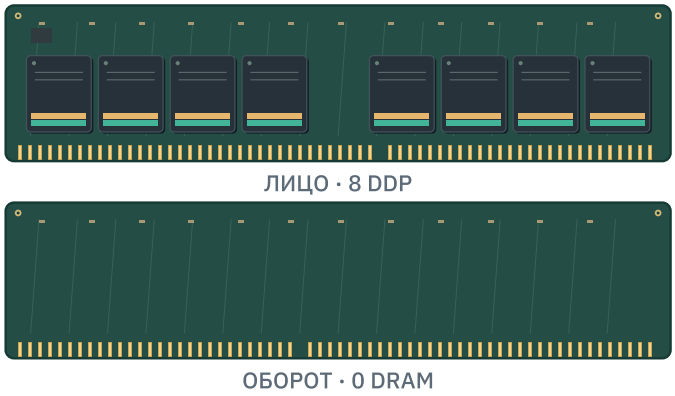
ОБОРОТ · 10 DRAM

CS0 / R0

Kingston **KSM48R40BS4TMI-32MDI** [1].
DDR5, 32 ГБ, 1Rx4; ECC RDIMM.
20 × x4 = 2 × 40 бит.

2R + SS (Single Side)

Два ранга, одна сторона

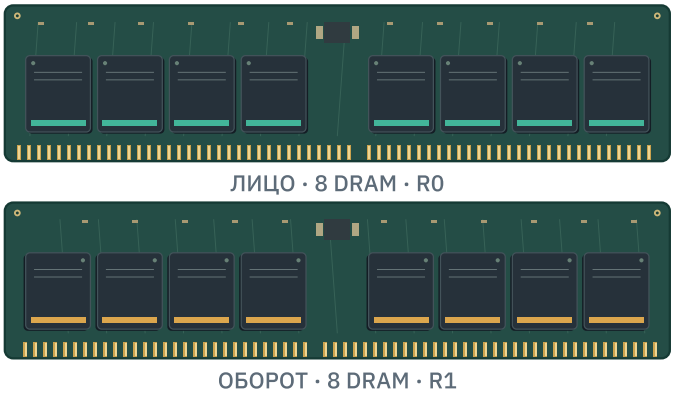


CS0 / R0 CS1 / R1

Пример из RAMGuide: ранние Corsair DDR4 8 ГБ, Hynix MMR. Точный SKU в источнике не указан.

2R + DS (Double Side)

Два ранга, две стороны



CS0 / R0 CS1 / R1

DDR5 UDIMM 2Rx8: один модуль, 16 чипов x8. 16 Гбит → 32 ГБ; 24 Гбит → 48 ГБ. [1, 10] Примеры: комплекты 2 × 32 и 2 × 48 ГБ.

Цветные полосы показывают принадлежность к R0 и R1. Ранг проверяется по SPD и техническому описанию.

ДОКУМЕНТАЦИЯ К СХЕМАМ: 1R + DS — [1] Kingston KSM48R40BS4TMI-32MDI; 2R + SS — RAMGuide; 2R + DS — [1] Kingston KVR56U46BD8-32, [10] Kingston KVR56U46BD8-48.

Ранговость и расположение микросхем по сторонам PCB — разные характеристики. Среди выпускаемых стандартных DDR5 UDIMM/SO-DIMM я не нашёл подтверждённых модулей 2R + SS. Все проверенные 2Rx8 DDR5 используют 16 DRAM-корпусов и являются DS.

У массовых настольных DDR5 UDIMM 2R обычно набирается из 16 отдельных SDP x8 (Single-Die Package — корпус с одним кристаллом), поэтому получается 8 корпусов спереди + 8 сзади. Например, для современных 64-ГБ DDR5 UDIMM на 32-Гбит DRAM Kingston описывает именно 16 × x8 = 64 ГБ, 2 ранга.

2.8.1 МИКРОСХЕМА DRAM: КРИСТАЛЛ И КОРПУС

DRAM (Dynamic Random Access Memory) — динамическая память с произвольным доступом. На модуле она установлена в виде микросхем **IC** (Integrated Circuit — интегральная схема). В одном корпусе может быть один или несколько кристаллов.

КРИСТАЛЛ · DIE

Кремний с ячейками памяти. Данные хранятся как заряд конденсаторов; **refresh** периодически восстанавливает его.

КОРПУС · PACKAGE

Защищает кристалл и соединяет его с платой. Внутри — кристалл, соединения и подложка с дорожками.

ПЛАТА МОДУЛЯ · PCB

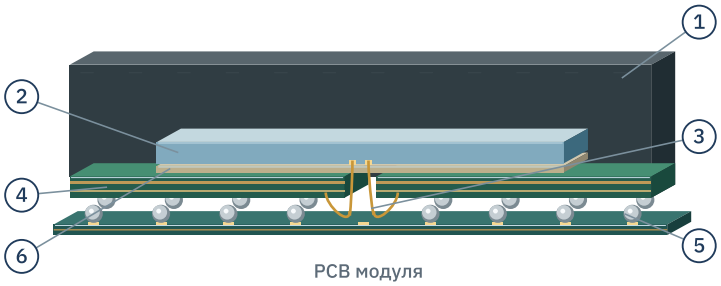
На ней размещены готовые микросхемы. У каждого корпуса есть собственная маленькая подложка.

ОДИН КОРПУС — РАЗНОЕ ЧИСЛО КРИСТАЛЛОВ

Примеры корпусов с проволочными соединениями

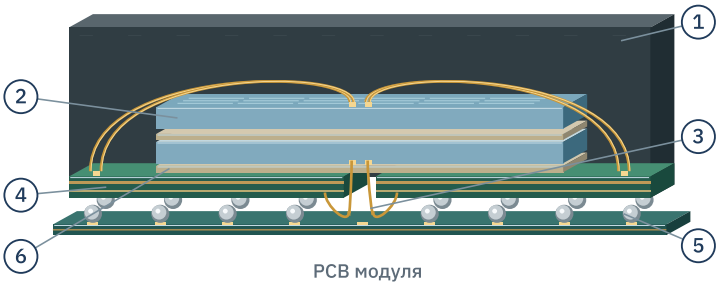
SDP · один кристалл

Single-Die Package



DDP · два кристалла

Dual-Die Package



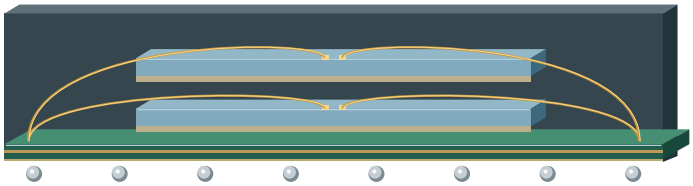
- 1 Защитная заливка
- 2 Кристалл кремния
- 3 Проволочные соединения
- 4 Подложка корпуса
- 5 Шарики припоя
- 6 Клеевая прослойка

FBGA (Fine-Pitch Ball Grid Array) — корпус с мелким шагом шариковых контактов. Шарики снизу припаиваются к плате модуля.

КАК СОБИРАЮТ ДВА КРИСТАЛЛА В ОДНОМ КОРПУСЕ

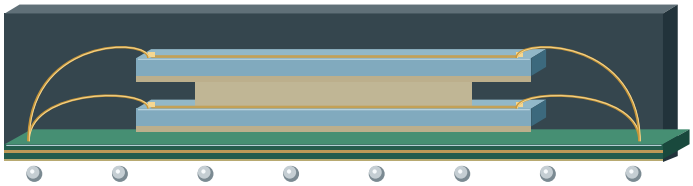
Варианты сборки DDP · Invensas

1. Контакты в центре



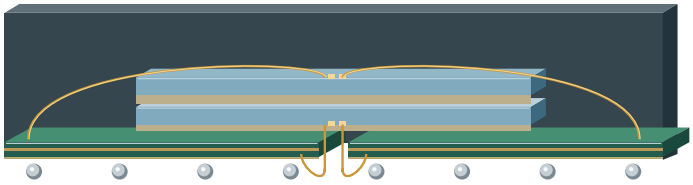
Оба кристалла контактами вверх. Проволока идёт от центра к подложке.

2. Контакты у краёв



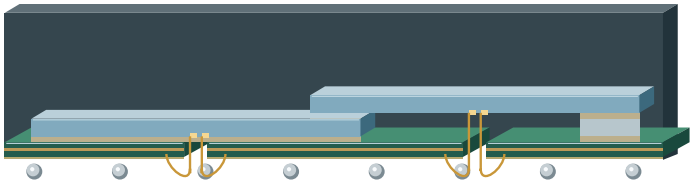
RDL выводит контакты к краям. Между кристаллами стоит проставка.

3. Спина к спине



Нижний кристалл подключён через окно подложки, верхний — сверху.

4. Оба контактами вниз



Кристаллы смещены. Проволочные соединения проходят через окна подложки.

RDL (Redistribution Layer) — слой переразводки, который переносит контакты по поверхности кристалла.

> **КАК ЭТО ЧИТАТЬ НА МОДУЛЕ**
>
> **8 корпусов DDP содержат 16 кристаллов.** Ранги зависят от их подключения и сигналов выбора. Ранги и разрядность я проверяю по **SPD и техническому описанию модуля**.

Intel: IC, die, package SIMMTECH: подложка Micron: DDR5 DDP Invensas: разрезы

2.9 КОРРЕКЦИЯ ОШИБОК: ECC и ON-DIE ECC

СИСТЕМНАЯ ECC, on-die ECC И non-ECC

Системная ECC — коррекция ошибок на уровне контроллера памяти процессора. Отдельный уровень коррекции, который обычно применяется в серверах и рабочих станциях.

on-die ECC — коррекция внутри IC (микросхемы) DRAM. IC хранит собственные проверочные биты и исправляет одиночную ошибку в своём внутреннем блоке данных перед его выдачей. **Это базовая функция всех стандартных DDR5**, включая обычные настольные UDIMM и CUDIMM.

non-ECC — в обозначении модуля означает отсутствие системной ECC. Внутренняя on-die ECC у DDR5 такого типа сохраняется.

СИСТЕМНАЯ ECC БЕЗ on-die ECC

Системная ECC может работать самостоятельно. Пример — обычная DDR4-память с системной ECC: контроллер CPU проверяет данные по дополнительным битам, а on-die ECC в такой конфигурации отсутствует. У DDR5 внутренняя коррекция уже входит в устройство DRAM.

ДВА УРОВНЯ ЗАЩИТЫ DDR5

В DDR5 с активной системной ECC оба уровня работают вместе. При чтении внутренний корректор DRAM сначала исправляет доступную ему ошибку в массиве ячеек. Затем данные проходят по линиям модуля и платы, а контроллер CPU проверяет их вместе с внешними проверочными битами. Так внутренняя коррекция дополняется защитой хранения и передачи между памятью и процессором.

Коррекция ошибок — преимущество подсистемы памяти в целом. Качество микросхем и их разгонный отбор оценивают отдельно.

ПРИМЕНЕНИЕ И УСЛОВИЯ РАБОТЫ

Системная ECC нужна ради целостности данных и устойчивости длительных вычислений. Среди обычных настольных платформ она встречается редко.

В рассматриваемых игровых и разгонных конфигурациях DDR5 работает on-die ECC — коррекция ошибок внутри микросхем памяти. Системная ECC дополнительно защищает хранение и передачу данных между DRAM и контроллером процессора. Она требует совместимых CPU, платы и модулей с системной ECC и встречается главным образом в серверах и рабочих станциях, включая отдельные настольные платформы.

Для конкретной сборки также нужна версия BIOS с поддержкой выбранного CPU и системной ECC. Совместимость модулей и конфигурации слотов проверяют по документации платы и её QVL.

ПОДДЕРЖКА СИСТЕМНОЙ ECC ПРОЦЕССОРАМИ INTEL

Ниже перечислены настольные модели LGA1700 и LGA1851 по официальным спецификациям. «Да» означает поддержку со стороны CPU; для работы системной ECC нужны также подходящие плата, BIOS и память.

Семейство / сокет	Системная ECC	Модели процессоров
Core 12-го поколения · LGA1700	Да	i9-12900KS, i9-12900, i9-12900T, i9-12900K, i7-12700, i7-12700T, i7-12700K, i5-12500, i5-12500T, i5-12600, i5-12600T, i5-12600K
Core 12-го поколения · LGA1700	Нет	i9-12900F, i9-12900KF, i7-12700F, i7-12700KF, i5-12400, i5-12400F, i5-12400T, i5-12600KF, i3-12100, i3-12100F, i3-12100T, i3-12300, i3-12300T, i5-12490F
Core 13-го поколения · LGA1700	Да	i9-13900KS, i9-13900, i9-13900T, i9-13900K, i7-13700, i7-13700T, i7-13700K, i5-13500, i5-13500T, i5-13600, i5-13600T, i5-13600K
Core 13-го поколения · LGA1700	Нет	i9-13900F, i9-13900KF, i7-13700F, i7-13700KF, i5-13400, i5-13400F, i5-13400T, i5-13600KF, i3-13100, i3-13100F, i3-13100T, i5-13490F, i7-13790F
Core 14-го поколения · LGA1700	Да	i9-14900KS, i9-14900, i9-14900T, i9-14900K, i7-14700, i7-14700T, i7-14700K, i5-14500, i5-14500T, i5-14600, i5-14600T, i5-14600K
Core 14-го поколения · LGA1700	Нет	i9-14900F, i9-14900KF, i7-14700F, i7-14700KF, i5-14400, i5-14400F, i5-14400T, i5-14600KF, i3-14100, i3-14100F, i3-14100T, i5-14490F, i7-14790F
Core 5 Series 1 · LGA1700	Нет	5 120, 5 120F
Core Ultra 200S и A/TA · LGA1851	Да	Ultra 5 235, Ultra 5 235T, Ultra 5 245, Ultra 5 245T, Ultra 7 265, Ultra 7 265T, Ultra 9 285, Ultra 9 285T, Ultra 5 245K, Ultra 7 265K, Ultra 9 285K, Ultra 5 235A, Ultra 5 235TA
Core Ultra 200S и A/TA · LGA1851	Нет	Ultra 5 225*, Ultra 5 225F, Ultra 5 225T, Ultra 7 265F, Ultra 5 245KF, Ultra 7 265KF, Ultra 5 230F
Core Ultra 200S Plus · LGA1851	Да	Ultra 5 250K Plus, Ultra 7 270K Plus
Core Ultra 200S Plus · LGA1851	Нет	Ultra 5 250KF Plus

СИСТЕМНАЯ ECC НА Z790 И Z890 НЕДОСТУПНА

Несмотря на поддержку системной ECC некоторыми процессорами, платы на чипсетах Intel Z790 и Z890 её не поддерживают. Модуль с поддержкой системной ECC, если плата его принимает, работает без системной ECC. Внутренняя on-die ECC в DDR5 продолжает работать.

* Core Ultra 5 225: Intel ARK указывает «Нет», а CPU list ASUS W880 — «Да». В таблице принят статус изготовителя процессора.

ПЛАТЫ INTEL С ПОДДЕРЖКОЙ СИСТЕМНОЙ ECC

Представленные платы относятся к классу workstation — настольных рабочих станций. Это DDR5-платы Intel LGA1700/LGA1851 с системной ECC. Совместимость CPU, BIOS и ECC UDIMM проверяется для выбранной модели.

Платформа	Производитель	Модели плат
LGA1700 · W680	ASUS	Pro WS W680-ACE; Pro WS W680-ACE IPMI; Pro WS W680M-ACE SE
LGA1700 · W680	ASRock Rack	W680 WS
LGA1700 · W680	Supermicro	X13SAE; X13SAE-F
LGA1700 · W680	Sixunited	W680M6
LGA1851 · W880	ASUS	Pro WS W880-ACE SE
LGA1851 · W880	ASRock Rack	W880M WS
LGA1851 · W880	GIGABYTE	W880 AI TOP
LGA1851 · W880	Supermicro	X14SAE; X14SAE-F
LGA1851 · W880	Sixunited	W880M37

ПРАКТИЧЕСКИЙ ИТОГ

Игровые и разгонные платы Z790/Z890: обычная DDR5 с on-die ECC, без системной ECC.

Платы W680/W880 для рабочих станций: системная ECC доступна при совместимых CPU, памяти и BIOS.

2.10 ОБЪЕМ КОМПЛЕКТА И НАГРУЗКА НА IMC

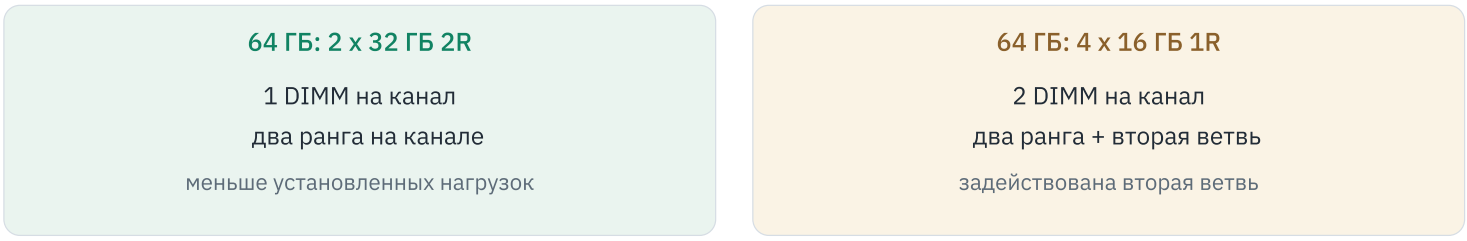
Нагрузку на контроллер памяти определяют число DIMM и рангов на канал, организация x8/x16, плотность кристаллов, разводка платы, частота и тайминги. Поэтому одинаковый общий объем может создавать совсем разную электрическую нагрузку.

ТИПИЧНЫЕ КОМПЛЕКТЫ 2024–2026 ГОДОВ

Комплект	Частая организация	Ранг / канал	Практический смысл
2 × 16 = 32 ГБ	16 ГБ 1Rx8, 16 Гбит	1	На H16A — второе место после небинаров H24M. Этот объём считаю морально устаревшим.
2 × 24 = 48 ГБ	24 ГБ 1Rx8, 24 Гбит	1	Лучший потенциал разгона, но только на H24M (Hynix M-die).
2 × 32 = 64 ГБ	2Rx8/16 Гбит или 1Rx8/32 Гбит	1 или 2	Небольшой потенциал разгона. Искать H16A (Hynix A-die) и новые ревизии.
4 × 16 = 64 ГБ	четыре 1Rx8	2 (2DPC)	Обычно тяжелее двух 32-ГБ DIMM из-за второй ветви.
2 × 48 = 96 ГБ	48 ГБ 2Rx8, 24 Гбит	2	Слабый разгонный запас, но здесь он и не нужен. Для высокой частоты 2 × 48 ГБ обычно лучше 4 × 24 ГБ.
4 × 24 = 96 ГБ	четыре 1Rx8	2 (2DPC)	Высокая нагрузка и меньший запас по сигналу.
2 × 64 = 128 ГБ	64 ГБ 2Rx8, 32 Гбит	2	Нужны подтвержденные BIOS, QVL и консервативный старт.

> Максимально установленный предел разгона по частоте на чипах с ревизией A-DIE для 2x32 и 2x48 является 7200 MT/s. В самых редких случаях 7400 MT/s для 2x32.

ОДИНАКОВЫЕ РАНГИ, РАЗНАЯ ЭЛЕКТРИЧЕСКАЯ ТОПОЛОГИЯ



ЧТО СИЛЬНЕЕ ВСЕГО СОКРАЩАЕТ ЧАСТОТНЫЙ ЗАПАС

Второй DIMM на канале обычно создаёт большую нагрузку, чем второй ранг внутри одного модуля: задействуется вторая ветвь трассировки и добавляется электрическая нагрузка второго модуля. Поэтому четыре планки чаще требуют меньшей частоты, чем две, даже при одинаковом числе рангов. Настоящая 1SPC-плата с одним слотом на канал также отличается от четырехслотовой 2SPC-платы, где пустая вторая ветвь существует физически.

При одинаковых MT/s 2R может немного повысить производительность благодаря чередованию обращений к рангам (Rank Interleaving, на Z690 была отдельная опция для включения в BIOS на платах MSI): пока один ранг занят внутренней операцией, IMC обращается к другому. При экстремальном разгоне выигрыш часто перекрывается более низкой достижимой частотой.

ОФИЦИАЛЬНЫЕ РЕЖИМЫ INTEL ПОКАЗЫВАЮТ ВЛИЯНИЕ НАГРУЗКИ

Конфигурация	POR (режим Intel)	Как это читать
LGA1700, 13-e; true-1SPC / 1DPC	1R 5600; 2R 5200	Для 13-го поколения второй ранг снижает POR.
LGA1700, 14-e; true-1SPC / 1DPC	1R 5600; 2R 5600*	* Поддержка DDR5-5600 с 2R ожидает официального включения со стороны Intel; в кратком описании продукта указан 5200.
LGA1700, 13–14-e; 2SPC	1DPC 4400; 2DPC: 1R 4000, 2R 3600	Разводка и фактическая установка указаны раздельно.
LGA1851 Core Ultra 200S	1DPC: UDIMM 5600; CUDIMM 6400	При 2 DIMM/канал: 1R 4800, 2R 4400.

КАК ДЕЙСТВОВАТЬ С БОЛЬШИМ ОБЪЕМОМ

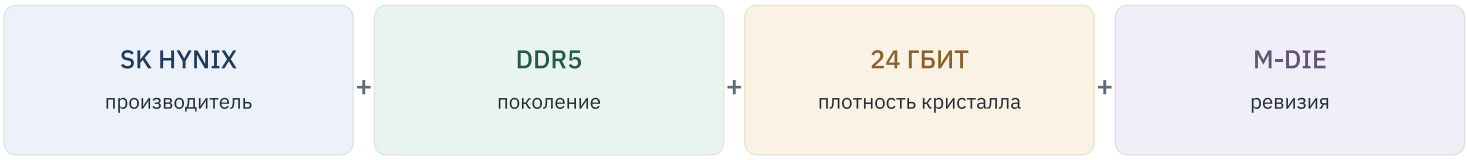
Начинайте с более консервативных MT/s, заново выполняйте тренировку и проверяйте ранг по SPD. Более высокая нагрузка сама по себе не означает, что нужно сразу повышать SA, TX VDDQ или другие напряжения: их избыток тоже может ухудшить стабильность.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel EDC 743844 и 832586; Kingston: руководства по DRAM 24/32 Гбит; Micron: характеристики модулей DDR5.

2.11 ПРОИЗВОДИТЕЛЬ, ПЛОТНОСТЬ И РЕВИЗИЯ

Плотность DRAM-кристалла (DRAM Die Density, также DRAM IC Density) — объём данных одного кристалла. Она указывается в гигабитах: например, 16, 24 или 32 Гбит. Марка на радиаторе обозначает производителя комплекта, но сами DRAM-кристаллы могли выпустить, например, SK hynix, Samsung или Micron. Для точного описания нужны четыре поля: производитель, поколение DDR, плотность и ревизия.

ПРАВИЛЬНАЯ ЗАПИСЬ



СОКРАЩЕНИЯ В СООБЩЕСТВЕ РАЗГОНА

Сокращение	Полная запись	Что важно
H16M	SK hynix DDR5 16 Гбит M-die	Ранний 16-Гбит кристалл, отличный от H24M.
H16A	SK hynix DDR5 16 Гбит A-die	Другая ревизия 16-Гбит семейства; часто встречается в 2 × 16.
H24M	SK hynix DDR5 24 Гбит M-die	Основа типичных модулей 24/48 ГБ и комплектов 48/96 ГБ.
S16B	Samsung DDR5 16 Гбит B-die	Ревизия семейства DDR5. Не имеет отношения к Samsung DDR4 B-die
Micron Rev.B/D	Micron DDR5 + плотность + :ревизия	У Micron одинаковая буква встречается у разных плотностей.

КАК ЧИТАТЬ МАРКИРОВКУ DRAM

У SK hynix полный код вида H5CGD8M... можно читать по полям: H5C указывает DDR5, GD — плотность 24 Гбит, 8 — организацию x8, M — поколение кристалла; оставшийся суффикс кодирует другие параметры изделия. У Micron ревизия стоит после двоеточия: например, 16-Гбит :D и 24-Гбит :B — разные изделия. Samsung нужно привязывать к полному номеру вида K4R..., потому что буква B встречается и в DDR4, и в DDR5.

Надёжнее использовать техническое описание модуля или полную маркировку DRAM IC. SPD и утилиты помогают, но если точную ревизию определить нельзя, так и указывайте: это предположение. Частота XMP, напряжение и объём не доказывают тип кристалла: производитель может менять IC без изменения названия комплекта.

DIE REVISION (РЕВИЗИЯ КРИСТАЛЛА) И ТЕХПРОЦЕСС

A-die, B-die и M-die описывают ревизию или поколение конструкции внутри схемы обозначений производителя. 1anm, 1bnm, 1alpha и 1beta называют технологический узел. Буква не является официальным рейтингом качества и не обещает конкретные MT/s, tCL или допустимое напряжение.

КАК ПОДТВЕРЖДАТЬ ТИП IC

Шаг	Источник	Что можно утверждать
1	Техническое описание и номер модели модуля	Организацию и заявленную спецификацию конкретного изделия.
2	Маркировка DRAM IC + справочник производителя	Производителя, плотность, x8/x16 и ревизию кристалла.
3	SPD и диагностические утилиты	Полезную подсказку; кликабельное поле в Memory Timings HWiNFO не заменяет подтверждения по маркировке.
4	XMP bin и наблюдаемое поведение	Только косвенное предположение, которое нужно так и подписывать.

На одних и тех же IC производитель может выпускать комплекты с разными XMP-профилями, PCB, PMIC и напряжениями. Ревизия характеризует кристалл, а отбор определяет проверенную рабочую точку комплекта.

ВАЖНО

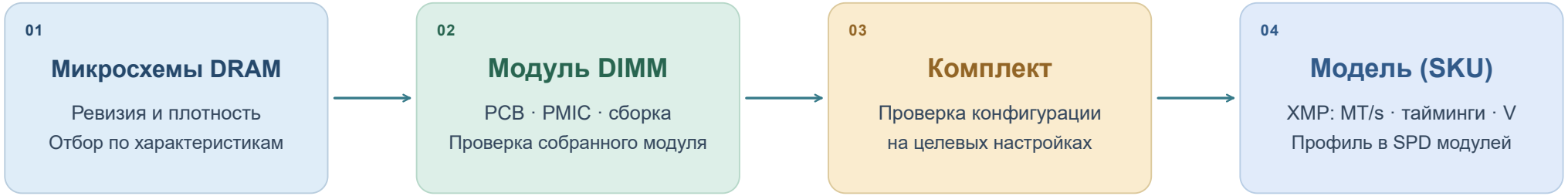
Всегда учитывайте производителя, обозначение DDR5, плотность и ревизию. H16M и H24M обозначают разные кристаллы. Samsung DDR4 B-die и Samsung DDR5 B-die относятся к разным поколениям памяти. Micron Rev.B обозначает ревизию, 1beta — техпроцесс. **Подробно со всеми ревизиями чипов вы можете ознакомиться в Каталоге Комплектов в разделе** КЛАССИФИКАТОР РЕВИЗИЙ**.**

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix: справочник маркировок DDR5 и анонс 24 Гбит; Micron: каталог DDR5 и справочник FBGA; Kingston: справочник маркировок.

2.12 XMP: ОТБОР МИКРОСХЕМ И КОМПЛЕКТОВ

Binning (отбор, разговорное «бин») — сортировка микросхем и уже собранных модулей по способности работать в заданной точке: на определенных MT/s, таймингах и напряжении. Производитель проверяет результат и продает его как отдельный SKU с конкретным XMP.

КАК ПОЯВЛЯЕТСЯ XMP-КОМПЛЕКТ



КАК СРАВНИВАТЬ ОТБОР КОМПЛЕКТОВ

На одинаковых H16A или H24M выпускают комплекты с разными профилями. Один отбирают ради частоты, другой — ради низкого tCL, меньшего напряжения или большой ёмкости. Сравнивайте их для одной задачи и при одинаковой организации модулей.

ОДНА ЧАСТОТА — РАЗНЫЕ РАБОЧИЕ ТОЧКИ

Комплект	Профиль	VDD/VDDQ	CAS, нс	Как читать
2 × 16 ГБ	XMP 6000 36-36-36	1,35 В	12,00	Мягкий CL при том же MT/s.
2 × 16 ГБ	XMP 6000 30-36-36	1,35 В	10,00	Более жёсткий tCL без роста V.
2 × 16 ГБ	XMP 6000 28-36-36	1,40 В	9,33	Ещё ниже tCL, но уже выше V.
2 × 32 ГБ	XMP 6000 30-36-36	1,40 В	10,00	Ёмкость и ранг меняют условия, но главным ограничением ОС выступает объём.*
2 × 24 ГБ [1]	EXPO 6000 28-36-36	1,35 В	9,33	Ревизия H24M меняет условия и поднимает планку ОС.
2 × 48 ГБ [2]	XMP 6000 30-36-36	1,35 В	10,00	Ревизия H24M меняет условия и поднимает планку, но главным ограничением ОС выступает объём.*
2 × 64 ГБ [3]	EXPO 6000 32-44-44	1,40 В	10,67	S32M меняет условия и поднимает планку, но объём ещё сильнее ограничивает ОС.

[1] G.SKILL F5-6000J2836F24GX2-TZ5NRW

[2] G.SKILL F5-6000J3036F48GX2-TR5S

[3] G.SKILL F5-6000J3244G64GX2-TZ5NR

ЧТО ГОВОРИТ БОЛЕЕ НИЗКОЕ НАПРЯЖЕНИЕ

При одинаковых IC, плотности, ёмкости, ранге, PCB, частоте и таймингах меньшее VDD/VDDQ косвенно указывает, что комплекту легче держать эту точку. Производитель указывает проверенное напряжение; минимальное рабочее значение и запас разгона выясняют тестами. Итог также зависит от IMC, платы и охлаждения. Комплекты проверяют в заявленном составе, поэтому смешанные наборы требуют новой проверки.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel XMP 3.0; G.SKILL: характеристики DDR5-6000; Kingston и Corsair: материалы об отборе IC.

2.13 DPC/SPC, МОДУЛИ И ТОПОЛОГИЯ ТРАССИРОВКИ

У настольных LGA1700 и LGA1851 два канала памяти: **A и B**. Сначала считаем слоты на плате, затем — установленные в каждый канал модули.

SPC — слоты на канал

Slots Per Channel

1SPC: один слот в A и один в B. Всего **2 слота**.

2SPC: по два слота в A и B. Всего **4 слота**.

DPC — модули на канал

DIMMs Per Channel

1DPC: в каждом канале установлен **один DIMM**.

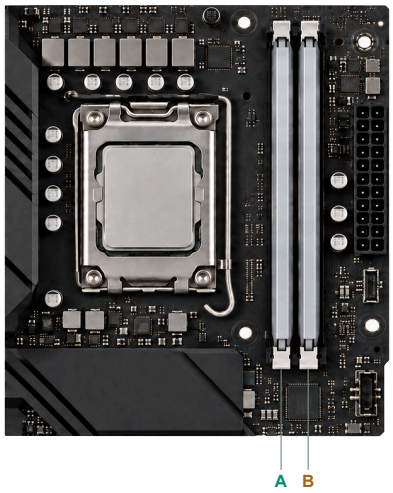
2DPC: в каждом канале установлено **два DIMM**.

2-DIMM / 4-DIMM плата — число её слотов. **2 × 24 ГБ** — два модуля по 24 ГБ.

1R / 2R — один или два ранга в DIMM. **1DPC 2R** — один двухранговый DIMM на канал.

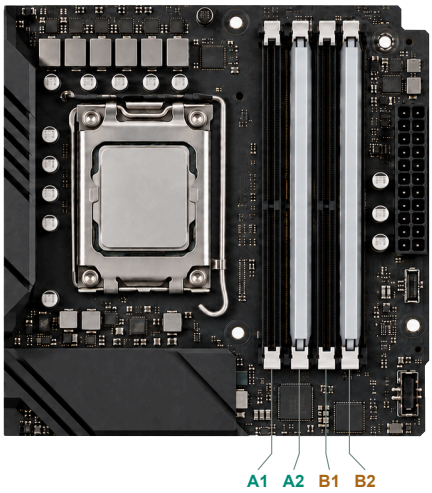
КАК ЭТО ВЫГЛЯДИТ НА ПЛАТЕ

1SPC + 1DPC



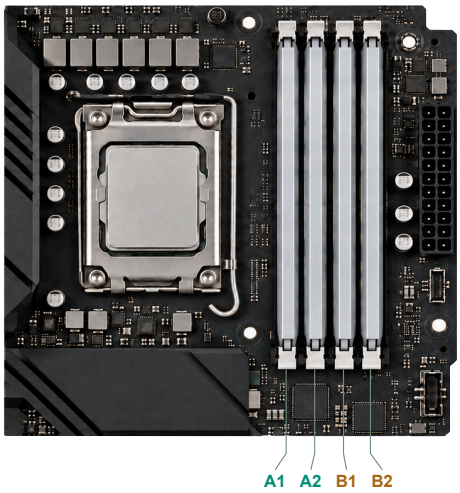
2 слота, 2 модуля. По одному в A и B. Четыре DIMM установить некуда.

2SPC + 1DPC



4 слота, 2 модуля. Заняты A2 и B2; A1 и B1 пусты. Плата остаётся 2SPC.

2SPC + 2DPC



4 слота, 4 модуля. Заняты A1, A2, B1 и B2. По два DIMM на канал.

КАК СОЕДИНЕНЫ СЛОТЫ ОДНОГО КАНАЛА

Daisy Chain и T-topology допускают 1DPC и 2DPC. Заполнение не меняет разводку платы.

1SPC · один слот



Один разъём на тракте. Нет второго слота и его ответвлений.

2SPC · Daisy Chain



Линия последовательно проходит точки подключения A1 и A2.

2SPC · T-topology



От общей точки к слотам идут ветви близкой электрической длины.

ЧТО ВЫБИРАТЬ ДЛЯ РАЗГОНА

Для высокой частоты выбирайте только **1SPC + 1DPC**: такой тракт наиболее эффективен. На платах 2SPC используйте только **1DPC** с двумя модулями. Все четыре слота стоит занимать, только когда объём памяти важнее частоты.

При **2DPC** растёт электрическая нагрузка, и частоту часто приходится снижать. T-topology выравнивает пути к слотам, но нагрузку четырёх DIMM сохраняет. Итог зависит также от IMC, рангов, комплекта и BIOS.

При трёх DIMM заполнение A и B различается. Здесь A/B — два канала платформы; 32-битные подканалы DDR5 эту классификацию не меняют.

2.14 ВЫБОР ПЛАТЫ LGA1700: Z690 И Z790

При выборе между Z690 и Z790 для разгона памяти в первую очередь сравнивайте физическую 1SPC-разводку, качество PCB, BIOS/MRC, средства восстановления и опыт энтузиастов. Ниже собраны 2-DIMM модели, обычные 4-DIMM Z790 и дорогие E-ATX флагманы. В целом 2-DIMM платы обеспечивают лучшую тренировку памяти по сравнению с остальными.

2-DIMM / TRUE-1SPC: ПЛАТЫ ДЛЯ МАКСИМАЛЬНОЙ ЧАСТОТЫ

Плата	Формат	DIMM / макс., ГБ	Офиц. MT/s	Практический вывод
ASUS Z690 Apex	ATX	2 / 96	6600	Пострелизная лотерея: часть плат 2021 года не держала даже XMP-6400; удачные поздние экземпляры брали около 7000. Подержанную плату покупайте только после проверки обоих слотов DIMM и BIOS.
MSI Z690 Unify-X	ATX	2 / 96	6800+	Одна из лучших Z690: удобный BIOS, разгон и восстановление. Мои наработки - в следующей ревизии.
MSI Z690I Unify	Mini-ITX	2 / 96	6800+	Очень короткий тракт и сильная память; меньше POST-диагностики и инструментов для стендового разгона.
Gigabyte Z690 Tachyon	E-ATX	2 / 128	7000	Стендовая разводка и аппаратный OC Kit; BIOS рассчитан на опытного энтузиаста.
EVGA Z690 DARK K|NGP|N	E-ATX	2 / 64	6600+	Сильное железо, но направление не развивается; только осознанная вторичка.
ASUS Z790 Apex, белая	ATX	2 / 96	8000+	Первая белая ревизия остается топовой: зрелый BIOS и полноценный OC Toolkit.
ASUS Z790 Apex Encore	ATX	2 / 96	8400+	База руководства: понятный BIOS, диагностика, восстановление и потенциал для повседневной работы.
ASUS Z790-AYW OC WiFi	ATX	2 / 96	8200+	Упрощённая альтернатива Apex с хорошей разводкой 2-DIMM; питание, I/O и средства разгона скромнее.
MSI Z790MPOWER	mATX	2 / 128	8000+	Доступная специализированная 2-DIMM плата; проще и слабее оснащена, чем флагманские модели.
MSI Z790I Edge WiFi	Mini-ITX	2 / 128	8000+	Сильный компактный вариант на каждый день. Для стендового разгона предпочтительнее Apex/Tachyon.
ASRock Z790I Lightning WiFi	Mini-ITX	2 / 128	8600+	8 слоёв; XMP-8000/8200 в обзорах. К ASRock и BIOS есть оговорки; разгон и восстановление скромнее флагманов. Предел зависит от IMC и комплекта.
Gigabyte Z790 Tachyon	E-ATX	2 / 128	8333	Отличная разводка и аппаратные переключатели; BIOS требует понимания параметров.
EVGA Z790 DARK K|NGP|N	E-ATX	2 / 64*	8000+	Работу профиля 9400 нужно проверять на конкретной системе; в 2026 году это скорее коллекционный OC-стенд.

EVGA: СИЛЬНЫЕ ПЛАТЫ, НО ПЛОХАЯ ПОКУПКА СЕГОДНЯ

После Z790 новых платформ EVGA нет; BIOS выходят редко, часть обновлений тестовая. Для основной системы DARK K|NGP|N в 2026 году не стоит покупать: это коллекционный или автономный стенд под конкретную прошивку.

* 64 ГБ по исходной спецификации EVGA; 96 ГБ подтверждены позднейшими комплектами 2 × 48 ГБ.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS, MSI, Gigabyte, EVGA: характеристики/QVL/BIOS; Igor'sLAB: сравнение партий Z690 Apex; ROG Forum; 01.09.2026. ASRock: спецификация и руководство; собственные тесты Tom’s Hardware / PC Gamer. Проверено 11.09.2026. G.SKILL QVL: 2 × 48 ГБ ASRock: спецификация ASRock: руководство Tom’s Hardware: тест PC Gamer: тест

4-DIMM / 2SPC: АКТУАЛЬНЫЕ Z790 ДЛЯ ПОВСЕДНЕВНОЙ РАБОТЫ И ОБЪЕМА

Плата	DIMM / макс., ГБ	Офиц. MT/s	Практический смысл
ASUS ROG Strix Z790-E Gaming WiFi II	4 / 256*	8000+	Удобна для настройки памяти: Q-Code, задние FlashBack и Clear CMOS. SSD в M.2_1 переводит видеокарту в x8.
ASUS TUF Gaming Z790-Pro WiFi	4 / 256*	7800+	Для обычной сборки: четыре Gen4 M.2 без деления линий GPU. FlashBack нет; сброс CMOS — контакты на плате.
ASUS ProArt Z790-Creator WiFi	4 / 256*	7200	Имеет смысл ради 10GbE и двух Thunderbolt 4. FlashBack есть; SSD в M.2_4 отключает SATA 5–8.
MSI PRO Z790-A MAX WiFi	4 / 256	7800+	Для нескольких SSD: четыре Gen4 M.2 без деления линий GPU. Есть Flash BIOS; сброс CMOS — контакты JBAT1.
MSI MAG Z790 Tomahawk MAX WiFi	4 / 256	7800+	Для множества SATA/USB и настройки памяти: задние Flash BIOS и Clear CMOS. SSD в M2_1 переводит GPU в x8.
MSI MPG Z790 Edge Ti MAX WiFi	4 / 256	7800+	Ради пяти M.2 и задних Flash BIOS / Clear CMOS. Четыре Gen4 M.2 сохраняют GPU x16; пятый, M2_1, переводит его в x8.
GIGABYTE Z790 AORUS PRO X	4 / 256	8266	Выбор ради 5GbE и пяти M.2. SSD в Gen5 M2C_CPU переводит GPU в x8. Есть Q-Flash Plus; сброс CMOS — контакты.
GIGABYTE Z790 AORUS ELITE X WIFI7	4 / 256	8266	Для четырёх Gen4 SSD и Wi-Fi 7; есть Q-Flash Plus и кнопка Clear CMOS. NVMe в M2M_SB отключает SATA 2/3.
GIGABYTE Z790 GAMING X AX rev. 2.1	4 / 256	7600	Для обычной сборки с четырьмя Gen4 SSD; есть Q-Flash Plus. Сброс CMOS — контакты; NVMe в M2M_SB отключает SATA 2/3.

4-DIMM / 2SPC: E-ATX ФЛАГМАНЫ ДЛЯ ЕМКОСТИ И ОСНАЩЕНИЯ

Плата	DIMM / макс., ГБ	Офиц. ориентир	Что важно для памяти
ASUS Z690 Extreme	4 / 256*	6400+	Для ручной настройки: два BIOS, Safe Boot/ReTry и ProbeIt; есть 10GbE. SSD в M.2_1 переводит GPU в x8.
MSI Z690 Godlike	4 / 192	6666+ 1DPC1R	Ради 10GbE, двух Thunderbolt 4 и шести M.2; два BIOS и POST-коды. SSD в M2_3 переводит GPU в x8.
ASUS Z790 Extreme	4 / 256*	7800+	Для настройки и периферии: два BIOS, Safe Boot/ReTry, ProbeIt и 10GbE; SSD в M.2_1 переводит GPU в x8.
MSI Z790 Godlike	4 / 256	7800+ 1DPC1R	Для семи M.2, 10GbE и двух Thunderbolt 4; два BIOS и POST-коды. SSD в M2_4 переводит GPU в x8.
MSI Z790 Godlike MAX	4 / 256	7800+ 1DPC1R	Добавляет Wi-Fi 7; при 2DPC2R заявлено 6000+. Семь M.2, 10GbE, два BIOS; SSD в M2_4 переводит GPU в x8.

> Перечисленные флагманские 4-DIMM / 2SPC для разгона я не рекомендую: рациональнее 2-DIMM / 1SPC либо более доступные 4-DIMM.

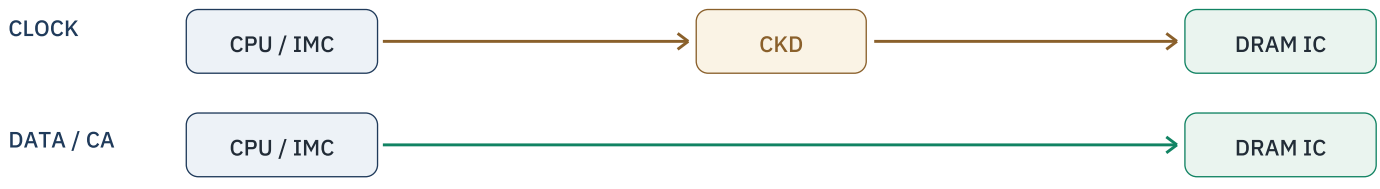
Максимумы ОС и объёма указаны отдельно; режим зависит от CPU, BIOS и комплекта. 7600 у GAMING X AX — для Core i7/i9 13/14-го поколения. У трёх MSI в QVL для 14 Gen K есть Kingston KF556C40BWAK4-128: 4 × 32 ГБ на 5600. * У пяти ASUS 256 ГБ поддерживаются обновлённым BIOS; карточки ещё указывают 192 ГБ.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Платы Z690/Z790: спецификации, руководства, QVL и BIOS точных моделей. ASUS Extreme: 256 ГБ с BIOS 3302 (Z690) / 1904 (Z790). Первичные обзоры: 3DNews, Hardwareluxx, Igor'sLAB, Tom's Hardware; условия тестов — в исследовательском отчёте. Strix E II: BIOS TUF Pro: BIOS ProArt: BIOS MSI: QVL Z690 Extreme: BIOS Z790 Extreme: BIOS

2.15 ВЫБОР ПЛАТЫ LGA1851, Z890

Главное изменение LGA1851 для памяти — штатная поддержка CUDIMM. Clocked Unbuffered DIMM остается обычным небуферизованным модулем для данных и команд, но получает отдельный Clock Driver, или CKD. Он принимает тактовый сигнал, очищает и повторно формирует его перед подачей к DRAM IC.

ЧТО ИМЕННО ДЕЛАЕТ CKD



Данные и команды не буферизуются: путь остается прямым

UDIMM И CUDIMM НА CORE ULTRA 200S

Сценарий	UDIMM POR	CUDIMM POR	Что это означает
true-1SPC / 1DPC, Core Ultra 200S	DDR5-5600	DDR5-6400	CKD дает более высокий штатный режим.
true-1SPC / 1DPC, 200S Plus	DDR5-5600	DDR5-7200	Обновленный IMC поднимает CUDIMM POR.
2SPC-плата, 1DPC: только A2/B2	DDR5-5600	DDR5-5600	Даже пустая вторая ветвь меняет официальный режим.

ПРАКТИЧЕСКИЙ ВЫБОР Z890: OC, ОБЫЧНЫЕ 4-DIMM И ФЛАГМАНЫ

Плата	DIMM / макс., ГБ	Офиц. MT/s	Практический смысл
ASUS Z890 Apex	2 / 128	9600+	Разгон с DIMM Fit Pro и обдувом памяти; Safe Boot/ReTry и Dual BIOS упрощают восстановление неудачного профиля.
MSI Z890 Unify-X	2 / 128	9600+ / 7200+ 2R	Выносной Tuning Controller с Safe Boot/Retry; Memory Force в BIOS и переключаемый Dual BIOS удобны при настройке.
Gigabyte Z890 Tachyon ICE	2 / 128	10400 OC	Для стенда и LN2: 10-слойная PCB, аппаратный OC Kit, LIMP Mode и DualBIOS для восстановления после сбоев разгона.
ASRock Z890 Taichi OCF	2 / 128	12735+ 1R / 6800+ 2R (OC)	ATX для энтузиастов и стендового разгона: Retry/Safe Boot, POST-коды, два переключаемых BIOS и задние Clear CMOS/Flashback упрощают настройку и восстановление после неудачного профиля.
ASRock Z890I Nova WiFi	2 / 128	9866+ 1R / 6800+ 2R (OC)	Mini-ITX для компактной системы с двумя DIMM: 10-слойная PCB и Memory OC Shield; диагностика PSC и BIOS Flashback, сброс CMOS — через контакты на плате.
ASUS TUF Z890-Plus WiFi	4 / 256	9066+	ATX для повседневной системы: DIMM Fit, BIOS FlashBack и Q-LED; сброс CMOS — через контакты на плате.
MSI MAG Z890 Tomahawk WiFi	4 / 256	9200+ 1DPC1R	ATX для настройки: POST-коды, задние Clear CMOS и Flash BIOS, сеть 5GbE и два порта Thunderbolt 4.
Gigabyte Z890 Aorus Elite WiFi7	4 / 256	9200 OC	ATX с POST-кодами, Multi-key Safe Mode и Q-Flash Plus; четыре M.2 не отнимают линии у видеокарты.
ASUS Z890 Extreme	4 / 256	9200+	E-ATX с NitroPath, Safe Boot/ReTry и двумя BIOS; 10GbE, TB5, шесть M.2 с разделением линий GPU.
MSI Z890 Godlike	4 / 256	9200+ 1DPC1R	E-ATX: два BIOS, LCD-диагностика, 10GbE + 5GbE; шесть M.2 и ещё два на карте с разделением линий GPU.

КАК СРАВНИВАТЬ ЗАЯВЛЕННЫЕ МАКСИМАЛЬНЫЕ СКОРОСТИ ПАМЯТИ

10400 у Tachyon ICE, 9600+ у Apex/Unify-X и 9200+ у 4-DIMM плат получены при разных CPU, модулях, BIOS и заполнении. Максимальный объём и максимальная скорость MT/s — отдельные паспортные ориентиры; для каждого действуют свои условия конфигурации.

У ASRock 12735+ для OCF и 9866+ для Nova — текущие заявленные OC-пределы при 1DPC 1R; для 1DPC 2R обе платы заявляют 6800+. Эти значения не задают частоту стабильного повседневного профиля. Проверяйте QVL точного комплекта и стабильность на своём CPU/BIOS.

CKD BYPASS И INTEL 200S BOOST

На Z890 работают и UDIMM, и CUDIMM. На части LGA1700 CUDIMM возможен только через поддерживаемый BIOS режим CKD bypass: сигнал проходит через CKD с обходом PLL. Поддержка режима и рабочая скорость зависят от CPU, платы, BIOS и модуля. Покупать CUDIMM для LGA1700 ради ускорения бессмысленно. Intel 200S Boost — отдельный официальный OC-профиль, а 200S Plus — обновлённые модели CPU. Для Boost заявлены память до DDR5-8000, NGU/D2D до 3,2 ГГц, VccSA/VDD2 до 1,20/1,40 В и DRAM VDD/VDDQ до 1,40 В при одном установленном DIMM на канал.

ГЛАВНЫЙ ВЫВОД ПО LGA1851

CKD расширяет практический диапазон DDR5, но рекордная заявленная частота ещё не означает стабильность в повседневной работе. Если цель — максимальная частота, в первую очередь стоит смотреть на Apex, Unify-X, Taichi OCF или Tachyon ICE. Nova — вариант для компактной Mini-ITX-системы с двумя DIMM; если важен большой объём, выбирайте среди 4-DIMM моделей. Если ваши вкусы специфичны и есть пара лишних сотен баксов — то Extreme или Godlike.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel EDC 832586 и 200S Boost; платы Z890: характеристики, руководства, BIOS и первичные тесты; проверено 15.10.2026. ASRock, проверено 01.11.2026: OCF — спецификация · OC Toolkit · Nova — спецификация · руководство Nova

2.16 РАЗБОР 1SPC ПЛАТ MAXSUN Z690–Z890

Maxsun интересны энтузиастам как сравнительно бюджетные платы для разгона: два слота памяти и неплохое оснащение за свои деньги. Но BIOS местами оставляет желать лучшего, особенно при ручной настройке таймингов. Это видно по обзорам ниже.

Модель Maxsun (MS-)	Платформа / формат	Слои PCB	VRM (питание CPU)	Память: заявлено / проверено
iCraft Z690ITX WIFI	1700 / Mini-ITX 2×DDR5	10	8+1; ISL99390, 90 A; контроллер*	7200 / 7400+ OC
Challenger Z690M	1700 / microATX 2×DDR4	н/д	8+1+1; SiC654, 50 A	DDR4: для DDR5 не подходит
iCraft Z790ITX WIFI	1700 / Mini-ITX 2×DDR5	н/д	9 основных сборок ISL99390, 90 A**	7400+ OC / 8200+ в блоге; XMP-7200 проверен
iCraft Z890 VERTEX	1851 / ATX 2×DDR5	8***	20+1+1; маркировки и ток сборок н/д	9200 OC; высокий потенциал подтверждён на холоде
Challenger Z890M	1851 / microATX 2×DDR5	н/д	10+1+1; 60 A SPS	7200 OC; независимый предел не установлен
Challenger Z890M WIFI	1851 / microATX 2×DDR5	н/д	10+1+1; 60 A SPS	7200 OC; независимый предел не установлен
Challenger Z890M WIFI ICE	1851 / microATX 2×DDR5	н/д	10+1+1; 60 A SPS	7200 OC; независимый предел не установлен

PCB — печатная плата; н/д — нет подтверждения; OC — разгон, скорости в MT/s. Схемы VRM — данные производителя/разборок. SPS — силовая сборка; её номинал не задаёт допустимый ток всей платы.

* Z690ITX: RAA229131 в карточке, RAA229132 в разборке. ** Не все 9 сборок относятся к Vcore (питанию ядер). *** Low-loss (материал с малыми потерями) и back-drilling (удаление лишней металлизации переходных отверстий).

Z790ITX WIFI: бюджетный вариант для LGA1700

Tom’s Hardware (2023): i9-13900K, BIOS H5.3G, TeamGroup XMP-7200 - без проблем. У i2HARD (2023) на i9-13900KF, H4.2G и 2×16 ГБ Patriot 5600 удалось 7200, но CL вырос до 58: ручные тайминги применялись неверно. В H7.4G оптимизировали тайминги. По раннему обзору нельзя судить о работе новых прошивок. Я бы рассматривал её для цели 7200 MT/s; заявленные 8200 MT/s требуют отдельного подтверждения.

Z890 VERTEX: главный кандидат для высокой частоты

В сессии Overclocking.com (2025): Ultra 7 265K и 2×24 ГБ G.Skill на Hynix M. 8800 CL36 - память без холода, CPU с экстремальным охлаждением; 9400 CL36 при памяти около -70 °C - y-cruncher 2.5B; 9494 CL36 - 7-Zip. 11200 - отдельный бенч. Потенциал есть, но повседневный предел не установлен; обозревателю не хватало Safe Boot/Retry (быстрого восстановления бута).

НОВЫЕ ПОКАЗАННЫЕ ПЛАТЫ: ПОКА ОТДЕЛЬНЫЙ СТАТУС

iCraft Z890 VERTEX PRO	Computex 2026: 2×DDR5, 20+1+1; microATX по репортажу. В 3DMark зафиксирован бенч с 2×24 ГБ на 9066 MT/s.
iCraft Z890ITX WIFI	По выставочной карточке MAXSUN: Mini-ITX, 2×DDR5, двухканальный режим (1SPC), питание 8+1+1.
Terminator Z890M WIFI GKD5	На презентации MAXSUN показана плата microATX с двумя слотами DDR5. Характеристики серийной версии не подтверждены.

Выбирайте по результатам тестов и работе BIOS. Два слота и качественная разводка помогают разгону; достигнутая частота зависит также от IMC и комплекта и требует проверки стабильности.

i2HARD: Z790ITX Tom’s Hardware: XMP-7200 Maxsun: BIOS Z790ITX VERTEX: условия и результаты VERTEX: ограничения PRO: 3DMark

2.17 КЛАССИФИКАЦИЯ МАТЕРИНСКИХ ПЛАТ

SPC — слоты на канал. «Заполнение» показывает возможное число установленных модулей на канал (DPC).

Каналы A/B считаются по руководству платы; подканалы DDR5 отдельно здесь не учитываются.

Названия плат открывают характеристики, названия подтверждённых топологий — их источники.

> T-Topology применяется в разводке памяти материнских плат и имеет подтверждённые реализации на предыдущих поколениях DDR. Для рассмотренных серийных DDR5-плат надёжно подтверждённые реализации T-Topology не установлены.

Модель	Слоты	SPC	Заполнение	Топология
ASUS ProArt Z890-Creator WiFi	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS ROG Maximus Z690 Apex	2	1SPC	1DPC	Point-to-point
ASUS ROG Maximus Z690 Extreme	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS ROG Maximus Z790 Apex	2	1SPC	1DPC	Point-to-point
ASUS ROG Maximus Z790 Apex Encore	2	1SPC	1DPC	Point-to-point
ASUS ROG Maximus Z790 Extreme	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS ROG Maximus Z890 Apex	2	1SPC	1DPC	Point-to-point
ASUS ROG Maximus Z890 Extreme	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS ROG Strix Z790-E Gaming WiFi II	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS ROG Strix Z890-I Gaming WiFi	2	1SPC	1DPC	Point-to-point
ASUS TUF Gaming Z890-Plus WiFi	4	2SPC	1DPC / 2DPC	Не подтверждена
ASUS Z790-AYW OC WiFi	2	1SPC	1DPC	Point-to-point
MSI MAG B860 Tomahawk WiFi	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MAG Z790 Tomahawk MAX WiFi	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MAG Z890 Tomahawk WiFi	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MEG Z690 Godlike	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MEG Z690 Unify-X	2	1SPC	1DPC	Point-to-point
MSI MEG Z690I Unify	2	1SPC	1DPC	Point-to-point
MSI MEG Z790 Godlike	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MEG Z790 Godlike MAX	4	2SPC	1DPC / 2DPC	Не подтверждена
MSI MEG Z890 Godlike	4	2SPC	1DPC / 2DPC	Не подтверждена

Модель	Слоты	SPC	Заполнение	Топология
MSI MEG Z890 Unify-X	2	1SPC	1DPC	Point-to-point
MSI MPG Z790I Edge WiFi	2	1SPC	1DPC	Point-to-point
MSI Z790MPOWER	2	1SPC	1DPC	Point-to-point
GIGABYTE Z690 AORUS TACHYON	2	1SPC	1DPC	Point-to-point*
GIGABYTE Z790 AORUS MASTER X	4	2SPC	1DPC / 2DPC	Daisy Chain
GIGABYTE Z790 AORUS PRO X	4	2SPC	1DPC / 2DPC	Daisy Chain
GIGABYTE Z790 AORUS TACHYON	2	1SPC	1DPC	Point-to-point*
GIGABYTE Z890 AORUS ELITE WIFI7	4	2SPC	1DPC / 2DPC	Daisy Chain
GIGABYTE Z890 AORUS MASTER	4	2SPC	1DPC / 2DPC	Daisy Chain
GIGABYTE Z890 AORUS TACHYON ICE	2	1SPC	1DPC	Point-to-point
ASRock Z790 Taichi Lite	4	2SPC	1DPC / 2DPC	Не подтверждена
ASRock Z790I Lightning WiFi	2	1SPC	1DPC	Point-to-point
ASRock Z890 Taichi OCF	2	1SPC	1DPC	Point-to-point
ASRock Z890I Nova WiFi	2	1SPC	1DPC	Point-to-point
EVGA Z690 DARK K|NGP|N	2	1SPC	1DPC	Point-to-point
EVGA Z790 DARK K|NGP|N	2	1SPC	1DPC	Point-to-point
Maxsun Challenger Z690M · DDR4	2	1SPC	1DPC	Point-to-point
Maxsun Challenger Z890M	2	1SPC	1DPC	Point-to-point
Maxsun Challenger Z890M WIFI	2	1SPC	1DPC	Point-to-point
Maxsun Challenger Z890M WIFI ICE	2	1SPC	1DPC	Point-to-point
Maxsun iCraft Z690ITX WIFI	2	1SPC	1DPC	Point-to-point
Maxsun iCraft Z790ITX WIFI	2	1SPC	1DPC	Point-to-point
Maxsun iCraft Z890 VERTEX	2	1SPC	1DPC	Point-to-point
Maxsun iCraft Z890 VERTEX PRO (анонс)	2	н/д	н/д	Не подтверждена
Maxsun iCraft Z890ITX WIFI (анонс)	2	1SPC	1DPC	Point-to-point
Maxsun Terminator Z890-A WIFI	4	2SPC	1DPC / 2DPC	Daisy Chain
Maxsun Terminator Z890M WIFI GKD5 (анонс)	2	н/д	н/д	Не подтверждена

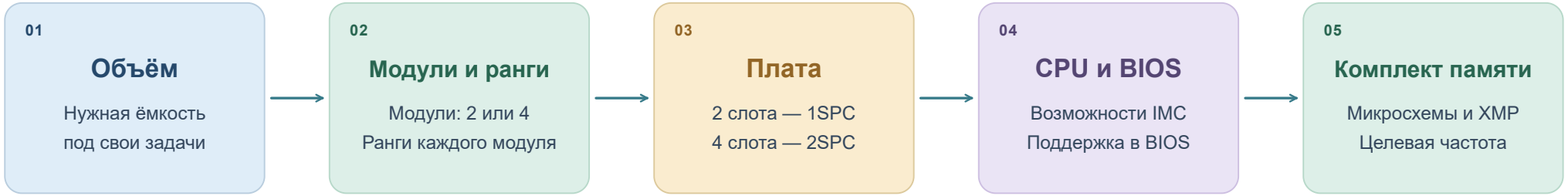
Point-to-point — контроллер соединён с единственным слотом канала; это структурная классификация по документации платы.

* GIGABYTE называет разводку Z690/Z790 Tachyon «2-DIMM daisy chain»; здесь они отнесены к Point-to-point по числу слотов в каждом канале.

2.18 ПРАКТИЧЕСКИЙ ВЫБОР ПЛАТФОРМЫ И КОМПЛЕКТА

Начните выбор с требуемой ёмкости. Она определяет число модулей и ранг, затем — подходящую топологию платы. Только после этого имеет смысл выбирать CPU, конкретный IC и реалистичную частотную цель.

ПОРЯДОК РЕШЕНИЯ



ТИПОВЫЕ СЦЕНАРИИ

Задача	Комплект	Плата	Реалистичная логика
Максимум частоты	2×16 / 2×24	2-DIMM true-1SPC	Лучший шанс на высокие MT/s; объем фиксируется заранее.
Сбалансированный профиль	2×16 / 2×24 / 2×32	Качественная 2- или 4-DIMM	На 4-DIMM ставить A2/B2 и не гнаться за рекордом.
96–128 ГБ	2×48 / 2×64	QVL + свежий BIOS	Плотность, ранг и тренировка важнее красивого XMP-профиля.
Четыре модуля	единый комплект из 4 DIMM	4-DIMM-плата	Сразу ожидать более низких MT/s; для четырёх модулей выбирайте единый комплект K4.
Будущий апгрейд	финальная емкость сейчас	по приоритету задачи	Покупка второго комплекта позже не гарантирует, что оба заработают вместе без дополнительной настройки.

ПРОЦЕССОР

Для полного ручного контроля выбирайте разблокированный K/KF и Z-серию. Конкретный экземпляр IMC все равно остается лотереей: более дорогая модель CPU не обещает более сильный контроллер. На LGA1851 Intel 200S Boost также требует подходящего K/KF, платы и BIOS.

МАТЕРИНСКАЯ ПЛАТА

Для максимальной частоты при двух модулях выбирайте true-1SPC OC-плату. Для большой ёмкости и гибкости — четыре слота, принимая меньший потолок при полном заполнении. Z790 Apex Encore официально ограничена 96 ГБ. При этом BIOS 0904 от 16.02.2024 обещает «Enhanced compatibility with 256GB memory» — улучшенную совместимость с 256 ГБ. Разрабы здесь хорошо курили, когда выкатывали этот BIOS. Поэтому для 128–192 ГБ на LGA1700 нужна другая плата. Проверяйте QVL точной модели, текущий BIOS, поддержку CUDIMM и функционал

КОМПЛЕКТ ПАМЯТИ

Покупайте один согласованный комплект нужной конечной емкости. Сверяйте номер модели, число DIMM, ранг, плотность кристалла, XMP-напряжение и наличие температурного датчика. Для LGA1700 объем свыше 192 ГБ официально Intel не заявлен, даже если отдельная плата указывает поддержку 256 ГБ; на LGA1851 актуальный ARK Core Ultra 200S уже указывает до 256 ГБ. На практике итоговый предел определяется сочетанием CPU, платы, версии BIOS и конкретного комплекта памяти.

> ### ФОРМУЛА РАЗУМНОЙ ПОКУПКИ
>
> Ёмкость → число DIMM и ранг → топология платы → CPU и BIOS → IC и XMP. Если изменить порядок, легко купить красивый профиль, который не соответствует реальной нагрузке или возможностям платформы.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel ARK и таблицы поддержки памяти; ASUS/MSI: характеристики и QVL; Kingston: рекомендации по заводским комплектам.

03 / ТАЙМИНГИ

2.2 / Gear Mode и Command Rate →

3.1 ЧТЕНИЕ ТАЙМИНГОВ

Тайминг задаёт длительность операции или интервал между событиями в памяти. Большинство таймингов задаёт минимальную паузу. **tREFI** ограничивает максимальный средний интервал между обновлениями данных.

В BIOS значения обычно указаны **в тактах памяти — CK**: tCL = 36 означает 36 тактов. Их длительность зависит от скорости передачи.

Перевод в наносекунды

DDR передаёт данные дважды за такт. Длительность такта и тайминга рассчитываем по формулам:

tCK (нс) = 2000 / R

t (нс) = N × 2000 / R

R — скорость в MT/c; N — значение тайминга в тактах.

Скорость передачи	Длительность одного такта, tCK	Время при tCL = 36
DDR5-6000	0,333 нс	**12,00 нс**
DDR5-8000	0,250 нс	**9,00 нс**
DDR5-8200	0,244 нс	**8,78 нс**
DDR5-9000	0,222 нс	**8,00 нс**

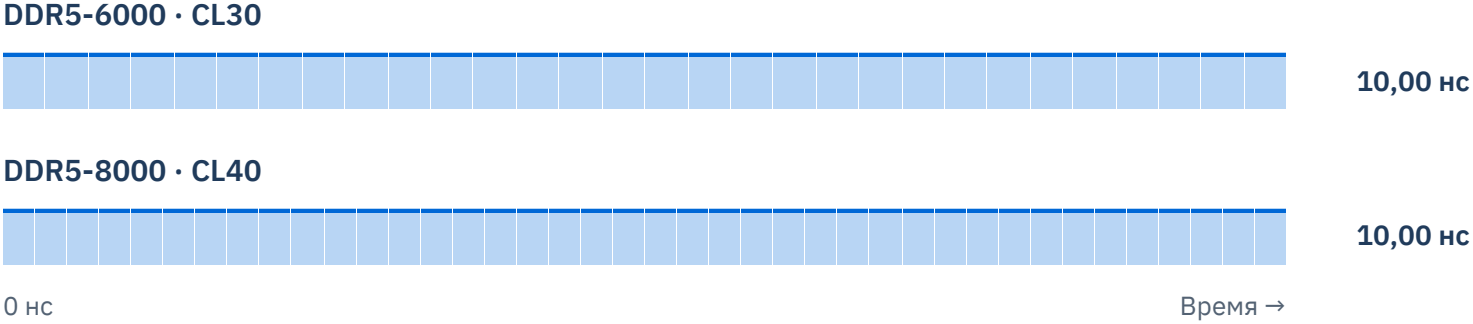
При одинаковом числе тактов более высокая скорость передачи даёт меньшую длительность тайминга в наносекундах.

Как сравнивать значения

Разные значения CL могут соответствовать одинаковому времени:

Разные CL — одинаковое время

Один сегмент — один такт CK



В этих примерах совпадает длительность **CAS-составляющей**. Полная задержка доступа также зависит от других таймингов и работы контроллера. **Длительность тайминга сравнивайте в наносекундах. Производительность профиля оценивайте по измерениям всей конфигурации.**

Далее тайминги разделены на **первичные, вторичные и третичные**. Этапы возникновения задержек разобраны в разделе 3.2.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Kingston — MT/s vs MHz; Kingston — CAS Latency Explained; SK hynix DDR5 32Gb M-die · §4.13

3.2 ПУТЬ КОМАНДЫ: ГДЕ ПОЯВЛЯЕТСЯ ЗАДЕРЖКА

Для обращения к данным нужная строка должна быть открыта в соответствующем банке. **ACT** запускает её открытие, **READ** и **WRITE** обращаются к данным, **PRE** закрывает строку и подготавливает банк к следующему открытию. Пока нужная строка открыта, следующие READ и WRITE обращаются к ней напрямую.

ЧТЕНИЕ: ТРИ СОСТОЯНИЯ БАНКА

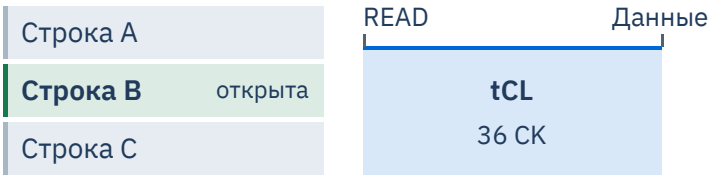
Во всех трёх сценариях нужно прочитать **строку B одного банка**. Меняется только исходное состояние: строка B уже открыта, банк закрыт или в нём открыта строка A.

Читаем строку B одного банка

DDR5-8200 · tCL 36 · tRCDRD 49 · tRP 49

PRE · закрыть A **ACT** · открыть B **READ** · прочитать B

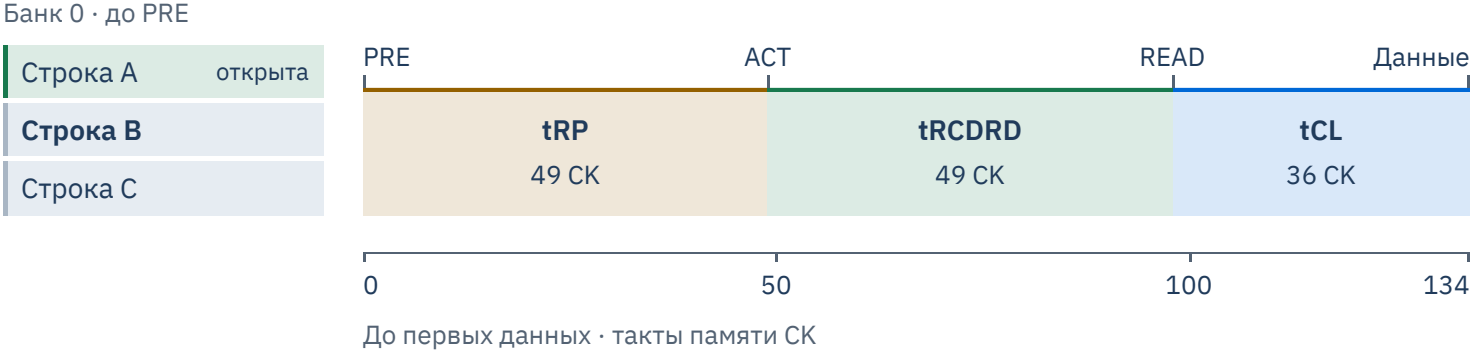
Нужная строка уже открыта 36 CK · 8,78 нс



Банк закрыт 85 CK · 20,73 нс



Открыта другая строка 134 CK · 32,68 нс



Участок **tCL** одинаков во всех трёх случаях. Открытие строки добавляет **tRCDRD**, а смена уже открытой строки — ещё **tRP**. Суммарный путь определяется тем, какие операции понадобились перед READ.

Все полосы заканчиваются на первых данных. Отсчёт начинается с первой уже разрешённой команды: READ, ACT или PRE. Предшествующее ожидание и время в очереди контроллера учитывают отдельно.

ЗАПИСЬ: НАЧАЛО ДАННЫХ И КОНЕЦ ПАКЕТА

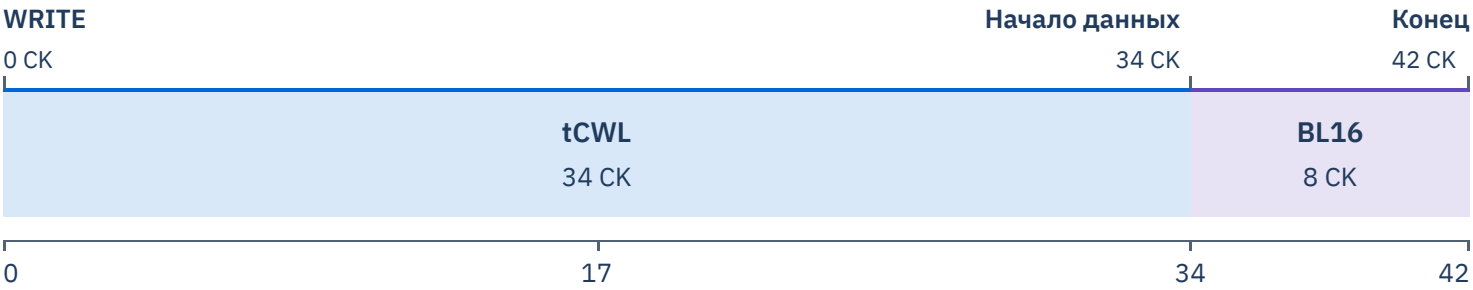
Для закрытого банка, готового к ACT, сначала нужно открыть строку и выдать WRITE:

ACT → tRCDWR → WRITE

После WRITE проходит **tCWL** до начала передачи данных записи. Затем передаётся пакет **BL16**: 16 переносов данных занимают 8 тактов CK. На следующей схеме отсчёт начинается **с команды WRITE**.

После команды WRITE

Пример: tCWL 34 · BL16 без CRC



От WRITE · такты памяти CK

Пакет BL16 крупнее: два переноса за такт



Такт внутри пакета BL16

Конец пакета — отдельная точка отсчёта для восстановления после записи. Перед закрытием строки требуется выдержать tWR и выполнить ограничение tRAS. Эти условия подробно разобраны в разделе 3.6.

ЧТО МЕНЯЕТ НАСТРОЙКА

- **tCL** при снижении сокращает ожидание после READ во всех трёх сценариях.
- **tRCDRD** при снижении сокращает паузу между ACT и READ при открытии строки.
- **tRP** при снижении сокращает подготовку банка между PRE и следующим ACT при смене строки.
- **tCWL** при снижении сокращает ожидание между WRITE и началом передачи данных записи.

Полная задержка системы дополнительно включает работу процессора, контроллера и ожидание обслуживания запроса. Показанные цепочки помогают понять, **какую именно часть обращения изменяет каждый тайминг**.

3.3 ПЕРВИЧНЫЕ ТАЙМИНГИ

Первичные тайминги задают, когда можно открыть строку, обратиться к данным и подготовить банк к следующему открытию. Каждая цифра относится к своему участку этой последовательности.

НАЗНАЧЕНИЕ И НАСТРОЙКА ТАЙМИНГОВ

Тайминг	Какой интервал задаёт	Практика настройки
tCL	**READ → первые данные.** Перевод в наносекунды: tCL × 2000 / MT/s.	Снижать по **2 CK**: в рассматриваемых BIOS ASUS нечётное значение округляется вверх. Для H16A ориентируемся на =32 с более жестким снижением до =30; для H24M на =36 и выше
tRCDRD	**ACT → READ:** подготовка открываемой строки к чтению.	Подбирать отдельно после tCL; на высокой частоте часто упирается раньше него.
tRCDWR*	**ACT → WRITE.** От ACT до первых данных записи: tRCDWR + tCWL.	Начинать со значения tRCDRD; возможность раздельной настройки зависит от платформы.
tRP	**PRE → следующий ACT:** закрытие строки и подготовка банка.	Снижать отдельно; ошибки могут проявляться при частой смене строк. База для подбора =12 или =14 для высоких частот (выше 8200)
tRAS	**ACT → допустимый PRE:** минимальное время открытой строки.	Для раннего чтения ориентир — tRCDRD + tRTP; пояснение ниже.
tRC	**ACT → следующий ACT того же банка.**	Расчётный ориентир для этой платформы: tRAS + tRP. Фактический интервал бывает больше.
CR	Режим передачи команд по командной шине.	**1N** доступен не во всех конфигурациях: его поддержка и фактическое применение зависят от платформы и BIOS. Для рассматриваемых высоких частот рабочая база — **2N**.

* Контроллер и BIOS/MRC могут связывать или нормализовать tRCDRD и tRCDWR в конкретном режиме. Применимость требования равенства проверяют для конкретной платформы.

СООТНОШЕНИЕ tCL, tRCD И tRP

Порядок значений в первичном ряду: **tCL–tRCD–tRP–tRAS**; в трёхзначной записи tRAS опущен.

Пример	Первичный ряд	Разница tRCD / tRP с tCL
DDR4 B-die	**14-14-14-34**	0 / 0
DDR5-5600 JEDEC	**46-45-45**	−1 / −1
DDR5-8000 XMP	**38-48-48**	+10 / +10
DDR5-8400 XMP	**40-52-52**	+12 / +12
Авторская база 8200	**36-49-49-61**	+13 / +13

DDR4 B-die известна равенством первых трёх значений; tRAS настраивали отдельно. В DDR5 разница меняется от профиля к профилю. Например, в стандартном DDR5-5600 JEDEC значение tCL на один такт выше tRCD и tRP.

У высокочастотной DDR5 на отобранных микросхемах разрыв около **8–13 CK** встречается в XMP-профилях и при разгоне. Снижение tCL сокращает ожидание после READ; время подготовки строки к чтению задаёт tRCDRD. На Hynix DDR5 при скоростях выше примерно 7600 MT/с tCL тоже сложно

снизить ниже 36: для этого требуется огромное повышение VDD. tRCD/tRP также упираются в свой предел. В моей базе первичный ряд — **36-49-49-61**. В соотношении **«tRCD = tCL + X» величина X зависит от профиля**.

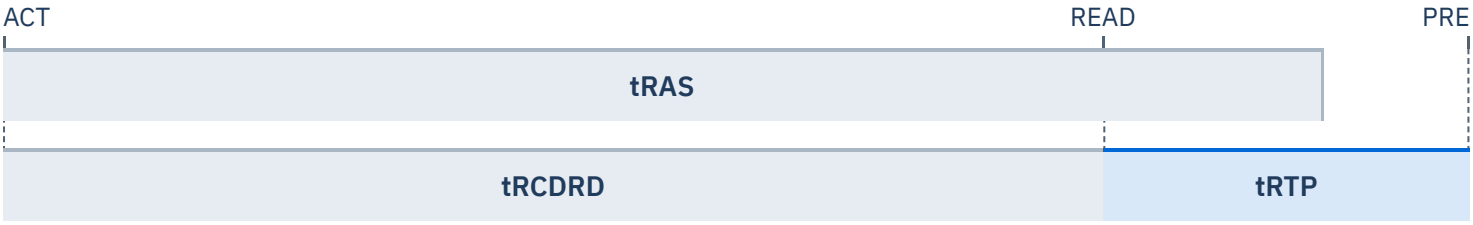
ЗАКРЫТИЕ СТРОКИ И ЦИКЛ БАНКА: tRAS, tRTP И tRC

Перед PRE должны истечь **обе паузы**: tRAS от ACT и tRTP от READ. Если READ выдана сразу после tRCDRD, из этих ограничений получаем нижнюю границу цикла банка:

$T_{ACT→ACT} \geq \max(tRAS, tRCDRD + tRTP) + tRP$

Две паузы перед PRE

tRAS заканчивается раньше · условный масштаб



PRE ждёт tRTP

Для базы **8200 36-49-49-61** с **tRTP = 12 CK**:

- **Чтение из закрытой строки:** tRCDRD + tCL = 49 + 36 = 85 CK.
- **Смена строки перед чтением:** tRP + tRCDRD + tCL = 49 + 49 + 36 = 134 CK.
- **Ориентир tRAS:** 49 + 12 = 61 CK.
- **Расчётный tRC:** 61 + 49 = 110 CK.

При tRAS ниже 61 длительность этого пути сохраняется: PRE ждёт окончания tRTP. Более поздняя READ и другие ограничения могут удлинить цикл; требование tRC также должно выполняться. Формула описывает интервалы команд, а устойчивость выбранных значений проверяется отдельно.

Значения **85 и 134 CK** отсчитываются от уже допустимых ACT/PRE до первых данных. Время ожидания запроса в контроллере учитывают отдельно.

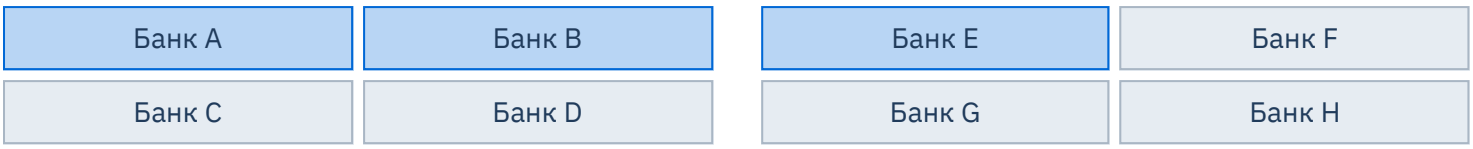
ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Samsung DDR4 8Gb B-die: техописание; SK hynix DDR5: READ/PRE и цикл банка; ASUS: руководство BIOS; Intel: регистры ACT/PRE; Kingston, G.SKILL, TeamGroup: характеристики XMP.

3.4 ВТОРИЧНЫЕ: АКТИВАЦИЯ И ГРУППЫ БАНКОВ

Банки DDR5 объединены в группы. Между командами к разным группам пауза обычно короче: внутренние ресурсы меньше конфликтуют.

Для tRRD суффикс S (Short) относится к разным группам, L (Long) — к разным банкам одной группы. В третичных таймингах Intel dg (Different Group) и sg (Same Group) обозначают соответствующую топологию перехода. Для tCCD набор ограничений зависит также от скоростного класса и организации DRAM.

Одна группа и разные группы



A → B · sg

Одна группа

A → E · dg

Разные группы

Активация строк: tRRD и tFAW

Тайминг	Что ограничивает	Норматив и настройка
tRRD_S	ACT → ACT, разные группы.	Для x8 со страницей 1 КБ — минимум **8 CK**. Во всех комплектах руководства использую **8**.
tRRD_L	ACT → ACT, разные банки одной группы.	Не менее **8 CK** и временного минимума своего скоростного класса. Снижать после S; обычно L не меньше S. Ориентироваться на +2–4 от **tRRD_S**. **tRRD_L** = **tRRD_S** + 2|4
tFAW*	Интервал от первой до пятой в любых пяти последовательных ACT одного ранга.	Для x8 — минимум **32 CK** и предел своего класса в нс. В моём профиле — **32** как рабочая ОС-настройка.

* Подробности в 3.5.

Для x8 при **tRRD_S = 8** и **tFAW = 32** возможна последовательность ACT на **0, 8, 16, 24 и 32 CK** — при подходящем чередовании банков/групп и соблюдении остальных ограничений. tFAW выше 32 дополнительно ограничивает поток активаций.

Для **x16 со страницей 2 КБ** тактовая граница tFAW — **40 CK**; временной минимум зависит от технического описания и скоростного класса. У серверной **3DS-памяти** есть дополнительные ограничения.

Интервалы чтения и записи: tCCD

Для **BL16 без CRC**:

Тайминг	Что ограничивает	Норматив и связь с BIOS
tCCD_S / tCCD_S_WR	READ → READ / WRITE → WRITE, разные группы.	**BL16 / 2 = 8 CK**. Основа для **tRDRD_dg / tWRWR_dg**.
tCCD_L	READ → READ, длинный путь внутри группы; при наличии tCCD_M — обращение к тому же банку.	Не менее **8 CK и 5 нс**. Связан с **tRDRD_sg**; в ASUS Z890 есть отдельное поле.
tCCD_L_WR	WRITE → WRITE, длинный путь внутри группы; при наличии tCCD_M_WR — к тому же банку. **Второй WRITE требует RMW**.	Не менее **32 CK и 20 нс**. В ASUS Z890 есть отдельное поле.
tCCD_L_WR2	WRITE → WRITE внутри группы; **второй WRITE без RMW**.	Не менее **16 CK и 10 нс**. Самостоятельный норматив; BIOS может не показывать отдельное поле.

В таблице SK hynix для DDR5-8000–8800 отдельно приведены tCCD_M, tCCD_M_WR и tCCD_M_WTR для разных банков одной группы. Соответствие sg параметрам микросхемы зависит от команды и организации DRAM. Приведённые выше минимумы L относятся к указанному в документации пути; применимость M проверяют по техническому описанию конкретной DRAM.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Samsung, SK hynix, Micron DDR5 x8/x16: таблицы таймингов; Intel: регистры ACT; ASUS ROG Z890: руководство по BIOS.

3.5 tFAW: ПОЧЕМУ 32/40 — БАЗА

tFAW задаёт минимальное время от первой до пятой команды ACT одного ранга. Проверка повторяется для каждой новой команды: ACT5 сравнивают с ACT1, ACT6 — с ACT2 и так далее. Дополнительно выдерживают tRRD между соседними ACT.

ЗАВИСИМОСТЬ tFAW ОТ СКОРОСТНОГО КЛАССА

Минимум tFAW задаётся одновременно в тактах CK и в наносекундах. Обе границы берут из таблицы для нужной организации DRAM и скоростного класса (speed bin). Временной минимум меняется между скоростными классами. Тактовый минимум зависит в том числе от организации устройства.

Таблица содержит выбранные классы SK hynix 32 Гбит M-die, x8, со страницей 1 КБ. Минимумы взяты из технического описания. Зелёная строка 8200 — мой профиль разгона: настройка 32 CK и её время на указанной частоте.

Скорость, МТ/с	tFAW, CK	Время, нс
5600	32 — минимум	11,428 — минимум
6000	32 — минимум	10,666 — минимум
6400	32 — минимум	10 — минимум
8000	32 — минимум	8 — минимум
8200 (мой ОС)	32 — настройка	≈ 7,805 — расчёт
8400	32 — минимум	7,619 — минимум
8800	32 — минимум	7,272 — минимум

ПОЧЕМУ ДЛЯ x8 ПРАКТИЧЕСКИЙ МИНИМУМ — 32 CK

tFAW (Four Activate Window) допускает не более четырёх ACTIVATE-команд одного ранга в своём окне. tRRD_S задаёт интервал между соседними ACT в разные группы банков. Для обычных DDR5 x8 со страницей **1 КБ** в рассматриваемом случае минимум **tRRD_S = 8 CK**.



Между ACT1 и ACT5 — четыре интервала: **4 × tRRD_S = 4 × 8 = 32 CK**. tRRD_S разрешает ACT5 начиная с 32 CK. На схеме показан самый плотный ряд ACT при соблюдении остальных ограничений.

> tFAW_effective(min) ≈ 4 × tRRD_S; при tRRD_S = **8 CK**:
>
> tFAW_effective(min) = **32 CK**

Оценка плотности ACT-команд при заданном tRRD_S.

PAGE SIZE: ПОЧЕМУ ДЛЯ x16 ГРАНИЦА — 40 CK

DDR5 x4/x8 — страница **1 КБ**; x16 — **2 КБ**. Для x16 тактовый минимум tFAW — **40 CK**, хотя tRRD_S также может быть **8 CK**: 4 × 8 = 32 CK. Расчёт 4 × tRRD_S даёт 32 CK. Для более крупной страницы действует отдельный минимум tFAW, ограничивающий пиковую нагрузку от серии активаций. Он сдвигает ACT5 до **40 CK**.

Организация микросхем x4/x8/x16 разобрана в разделе 2.7

JEDEC: УЧИТЫВАЮТСЯ И CK, И НАНОСЕКУНДЫ

> tFAW: для 1 КБ берём большее из 32 CK и предела в нс; для 2 КБ — из 40 CK и предела в нс.

Здесь nCK — длительность указанного числа тактов: сравниваются времена. **32/40 CK** — тактовые границы; минимум в наносекундах берут для конкретного IC и скоростного класса. При пересчёте он может потребовать больше 32/40 CK.

> **ПРАКТИЧЕСКИЙ ВЫВОД**
>
> Для обычной DDR5 x8 при tRRD_S = **8 CK** значение tFAW = **32 CK** — эффективный нижний предел. При дальнейшем снижении tFAW плотность ACT-команд остаётся прежней: интервалы между ними ограничивает tRRD_S.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix DDR5 SDRAM 32Gb M-die, ред. 1.2 (07.2025), таблицы таймингов; Micron DDR5 SDRAM Core, ред. E (11.2024), таблицы таймингов. SK hynix 32Gb M-die · Rev. 1.2 · июль 2025, Micron · DDR5 SDRAM Core

3.6 ВТОРИЧНЫЕ: ЧТЕНИЕ, ЗАПИСЬ И ВОССТАНОВЛЕНИЕ

Мой профиль: ASUS ROG Maximus Z790 Apex Encore, DDR5-8200, Gear 2. Все значения ниже — в тактах памяти.

tCL и tRTP — чтение и закрытие строки

tCL задаёт задержку от команды READ до первых данных; tRTP — минимальный интервал от READ до начала закрытия строки командой PRE.

В моём разгонном профиле tRTP = 12; на высокой частоте использую 14. Минимум для моих настроек — 12.

tCWL — задержка записи

tCWL задаёт задержку от команды WRITE до начала передачи данных записи. На уровне DRAM:

tCWL = tCL − 2

При tCL = 36 принимаем tCWL = 34.

tWR — восстановление после записи

tWR задаёт время восстановления после окончания передачи данных записи, которое требуется выдержать перед началом закрытия строки.

В разгонном профиле руководства оставляем tWR = 48.

tWTR_S и tWTR_L — переход от записи к чтению

tWTR задаёт ожидание от окончания передачи данных записи до последующей команды READ. tWTR_S относится к разным группам банков и связан с tWRRD_dg; tWTR_L — к одной группе банков и связан с tWRRD_sg.

Базовые расчётные зависимости для рассматриваемой DDR5-платформы Intel:

tWTR_L = tWRRD_sg – tCWL – 10

tWTR_S = tWRRD_dg – tCWL – 10

Базовый расчёт:

tWTR_L: 62 – 34 – 10 = 18; tWTR_S: 52 – 34 – 10 = 8.

В показанном профиле используются tWRRD_sg = 62 и tWRRD_dg = 52. При фиксированных tCWL и остальных настройках изменение соответствующего tWRRD на один такт меняет рассчитанный tWTR на один такт в том же направлении. После изменения tCWL проверьте зависимую пару tWRRD заново.

> Примечание. В ATC 4.1.7 этот профиль отображается как tWTR_L = 22 и tWTR_S = 12. При переносе настроек ориентируйтесь на указанную пару tWRRD; отображение tWTR зависит от используемого пересчёта.

После изменения настроек проверьте память по методике руководства.

Определения и практическая настройка третичных таймингов, а также связь tWRRD_sg/dg с tWTR_L/S — раздел 3.8. Краткие формулы — глава 11.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel Core 13th Gen, Vol. 2; ADATA DDR5 U-DIMM; pyhwinfo: memory.py

3.7 ВТОРИЧНЫЕ: ОБНОВЛЕНИЕ ДАННЫХ

Ячейки DRAM постепенно теряют электрический заряд. Чтобы сохранить записанные данные, память регулярно выполняет **обновление — refresh**.

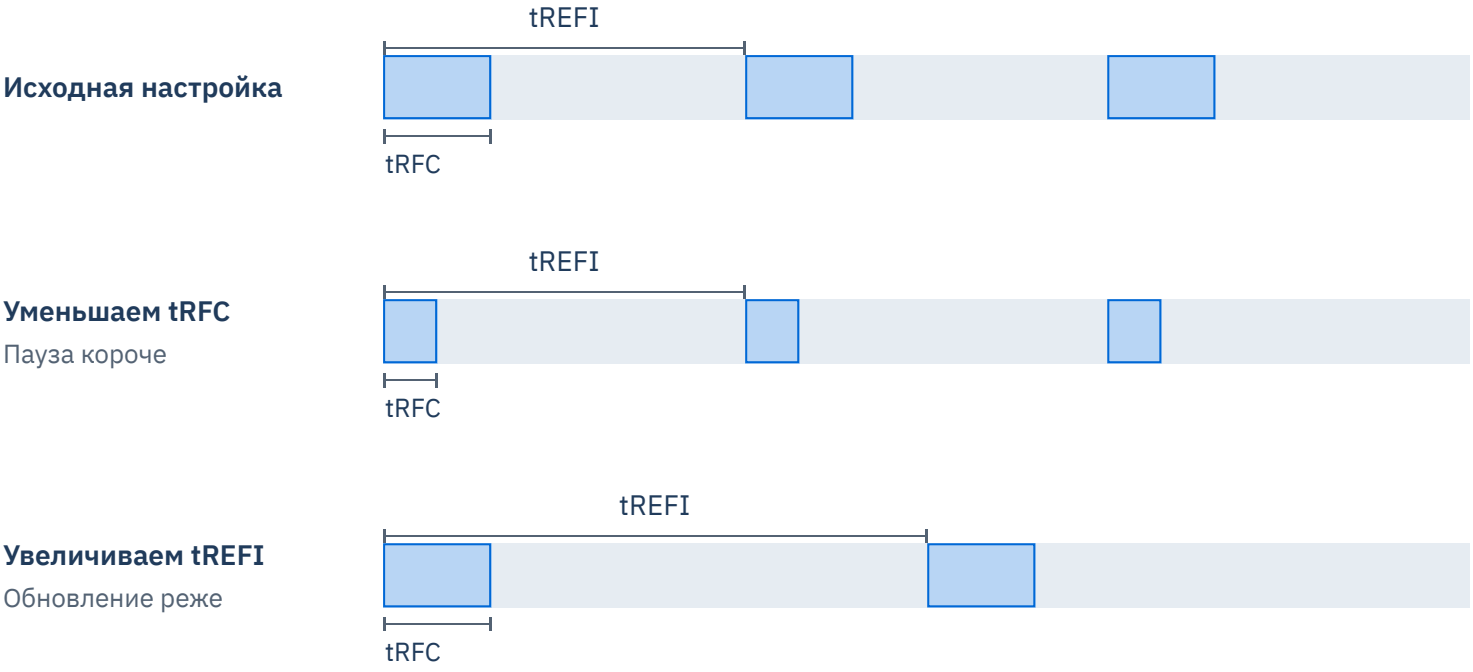
Для настройки обновления используем два параметра:

- **tRFC — длительность паузы после команды обновления.** В течение этой паузы затронутые банки заняты обновлением.
- **tREFI — максимальный средний интервал между командами обновления для соответствующего режима.** Он определяет, насколько часто требуется обновлять данные.

Уменьшая **tRFC**, мы сокращаем паузу, которую выдерживает контроллер. Увеличивая **tREFI**, делаем обновления реже. Оба изменения могут сократить время, занятое обновлением. После каждого шага проверяем стабильность, особенно после прогрева памяти.

Что меняют tRFC и tREFI

Условный масштаб · REFab



На схеме обновления расположены равномерно для наглядности. Контроллер может сдвигать отдельные команды в пределах требований к **среднему интервалу tREFI**. Показанная пауза относится к банкам, затронутым обновлением.

Тайминги и режимы обновления

В DDR5 есть два вида команд: **REFab** и **REFsb**. REFab затрагивает все банки микросхемы. REFsb затрагивает банк с выбранным номером в каждой группе банков и применяется в режиме **Fine Granularity Refresh — FGR**.

Тайминг	Что задаёт	Что нужно понимать
tRFC1	Паузу после **REFab в обычном режиме — Normal Refresh**.	Норматив обновления всех банков в обычном режиме.
tRFC2	Паузу после **REFab в режиме FGR**.	В этом режиме обновления выполняются чаще, а отдельная пауза короче. Минимум tRFC2 берут из отдельной строки нормативов.
tRFCsb	Паузу обновления выбранных банков после **REFsb**.	Обновляется одноимённый банк в каждой группе. Другие банки могут обслуживать обращения при соблюдении межкомандных ограничений.
tREFI	Максимальный средний интервал между командами обновления.	Допустимый интервал зависит от режима и температуры. Чем выше значение, тем реже выполняется обновление.

Назначение этих таймингов и связь интервала с режимом приведены в документации производителей DDR5.

Какие банки заняты обновлением

Пример микросхемы: 8 групп по 4 банка

REFab · все банки

Normal или FGR

BG0	BG1	BG2	BG3	BG4	BG5	BG6	BG7
0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1
2	2	2	2	2	2	2	2
3	3	3	3	3	3	3	3

REFsb · банк № 1 в каждой группе

Только FGR

BG0	BG1	BG2	BG3	BG4	BG5	BG6	BG7
0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1
2	2	2	2	2	2	2	2
3	3	3	3	3	3	3	3

Затронуты обновлением Остальные банки

На примере REFsb выбран **банк № 1 во всех группах**. Следующие команды обновления могут обращаться к другим номерам банков. Одна команда refresh обновляет часть строк, которую выбирает внутренний механизм DRAM. Полное обновление требует серии команд.

Обозначения в спецификации и поля BIOS могут различаться. Даже при наличии поля tRFC2 режим FGR требует отдельного подтверждения. При настройке учитываем активный режим и фактически применённые значения; соответствие tRFCsb полям контроллера также зависит от платформы.

Справочные значения tRFC

Нормативная длительность обновления зависит от **плотности отдельного кристалла DRAM**. В таблице плотность указана в гигабитах на кристалл. Ёмкость модуля измеряется в гигабайтах.

Минимальные значения из таблиц производителей:

Плотность кристалла	tRFC1 — Normal	tRFC2 — FGR	tRFCsb — REFsb
8 Гбит	195 нс	130 нс	115 нс
16 Гбит	295 нс	160 нс	130 нс
24 / 32 Гбит	410 нс	220 нс	190 нс

Это справочная база для соответствующих режимов. Разгонные значения tRFC проверяем на конкретном комплекте. Для небинарных модулей на M-die при 8200 MT/c и выше рабочий диапазон — 688–720 CK; на A-die значения значительно ниже.

При переводе времени в такты используются разные направления округления:

Параметр	Формула перевода в такты	Округление
tRFC	tRFC, нс × R / 2000	**Вверх**: пауза должна быть равна выбранному времени или превышать его.
tREFI	tREFI, мкс × R / 2	**Вниз**: интервал должен укладываться в выбранное время.

Здесь **R — скорость передачи в MT/c**: например, для DDR5-8200 подставляется 8200. Формулы пересчёта — в разделе «Формулы».

Как температура влияет на интервал обновления

При повышенной температуре память требует более частого обновления. Допустимый средний интервал уменьшается.

Ниже приведены нормативы **для команды REFab**. Температура **TCASE** относится к корпусу самой микросхемы DRAM.

Температура TCASE	Обычный режим — tREFI1	Режим FGR — tREFI2
0 ≤ TCASE ≤ 85 °C	3,9 мкс	1,95 мкс
85 < TCASE ≤ 95 °C	1,95 мкс	0,975 мкс

При DDR5-8200 интервал **3,9 мкс соответствует 15 990 тактам**, а **1,95 мкс — 7995 тактам**.

Для **REFsb** предусмотрен свой максимальный средний интервал:

tREFIsb = tREFI2 / n, где **n — число банков в одной группе**.

Это соотношение описывает интервалы между командами REFsb. Для настройки поля tREFI в BIOS нужно учитывать, как контроллер связывает его с интервалом REFsb.

Какую температуру показывает HWiNFO

Показатель **SPD Hub Temperature** в HWiNFO — температура датчика в SPD Hub на модуле. По ней можно следить за прогревом модуля. TCASE микросхем DRAM и температуру самого горячего чипа измеряют отдельно.

Порог 85 °C в спецификации относится к условиям нормативного обновления. Целевую температуру разгонного профиля выбирают по проверкам стабильности. При сильно увеличенном tREFI ошибки могут появляться при гораздо меньшем показании датчика модуля.

Практические ориентиры tREFI

Время рассчитано для DDR5-8200 и DDR5-8400. В первой строке указаны отдельные значения BIOS для каждой скорости; в остальных — одно значение для обеих скоростей.

Значение BIOS	@ 8200	@ 8400	Как читать
15 990 / 16 380	3,900 мкс	3,900 мкс	Normal, REFab, TCASE ≤ 85 °C: 3,9 мкс. В FGR при той же температуре — 1,95 мкс: 7995 / 8190 CK. При 85 < TCASE ≤ 95 °C каждый интервал уменьшается вдвое.
16 383	3,996 мкс	3,901 мкс	16K: первый бинарный ориентир, почти 3,9 мкс @ 8400.
32 767	7,992 мкс	7,802 мкс	Первая удобная условная ступень.
65 535	15,984 мкс	15,604 мкс	Примерно четверть 18-битного диапазона.
131 071	31,969 мкс	31,207 мкс	Половина диапазона; популярная настройка при разгоне.
262 143	63,937 мкс	62,415 мкс	Максимум 18-битного поля Intel; рабочий вариант с водяным охлаждением.

Промежуточные значения — условные ориентиры настройки. При tREFI выше примерно 30 000 проверяем стабильность с направленным обдувом и контролем температуры. Последняя строка показывает предел кодирования поля контроллера. Рабочее значение выбираем по результатам тестов.

На моём **TeamGroup Xtreem 2×24 ГБ при tREFI = 131 071** ошибки начинались примерно с **47 °C по датчику модуля**. Порог 47 °C относится к этому комплекту, напряжениям и тесту. Температурный предел других конфигураций определяем отдельно. В описанной конфигурации ASUS Z790 доступен диапазон до 262 143, однако выбирать значение следует по результатам проверки стабильности.

Порядок настройки

1. **Подготовьте условия проверки.** Частота и напряжения должны быть уже проверены. Зафиксируйте применённые значения таймингов и обеспечьте охлаждение, которое будет использоваться ежедневно.
2. **Настраивайте tRFC при неизменном tREFI.** Меняйте один фактически используемый параметр обновления за раз. После снижения проверяйте стабильность на прогретой памяти.
3. **Повышайте tREFI отдельно.** Когда подходящий tRFC найден, зафиксируйте его и увеличивайте интервал обновления с повторной проверкой. Одновременное изменение tRFC и tREFI затрудняет поиск причины ошибок.
4. **Оставляйте запас по температуре.** Проверяйте профиль и на холодной памяти, и после длительного прогрева. Если стабильность зависит от направленного обдува, такой же обдув нужен и в повседневной работе.

При большем числе микросхем и рангов отдельно оцените прогрев модулей: требования к охлаждению могут возрасти.

Что делать с tREFIx9

tREFIx9 — параметр контроллера, ограничивающий максимальный интервал между обновлениями одного ранга. Intel описывает его в единицах **1024 DCLK** и приводит следующий расчёт:

Значение поля tREFIx9 = 8 × tREFI / 1024.

Поле имеет ограниченный диапазон. При высоких разгонных значениях tREFI прямой расчёт может выйти за его пределы; фактически применённое значение зависит от реализации BIOS/MRC. Значение этого поля читаем в единицах 1024 DCLK.

Практическая рекомендация для этой главы — оставить tREFIx9 на Auto.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix 32Gb M-die · §4.13, таблицы 66–67; SK hynix 16Gb A-die · §4.13.3; Micron DDR5 Core · таблицы 182–183; Intel Core 13th Gen, Vol. 2 · TC_RFTP, TC_RFP; HWiNFO · температура SPD Hub

3.8 ТРЕТИЧНЫЕ: ПЕРЕХОДЫ МЕЖДУ КОМАНДАМИ

Третичные тайминги Intel задают минимальные интервалы между последовательными командами чтения и записи. Их уменьшение позволяет контроллеру плотнее размещать соответствующие операции. Все значения ниже приведены в тактах памяти; практические ориентиры относятся к DDR5 с пакетом BL16 без CRC.

КАК ЧИТАТЬ НАЗВАНИЯ

Порядок **RD** и **WR** обозначает текущую и следующую команды. Суффикс уточняет, между какими областями памяти происходит переход:

Суффикс	Значение
sg — Same Group	В пределах одной группы банков одного ранга.
dg — Different Group	Между разными группами банков одного ранга.
dr — Different Rank	Между рангами одного модуля.
dd — Different DIMM	Между модулями в одном канале памяти.

При **1R/1DPC** переходы dr и dd не задействованы. Два одноранговых модуля, установленные по одному в каждый канал, также относятся к этому случаю. Для двухранговых модулей используется dr, при двух модулях на канал — dd.

ТАЙМИНГИ И ПРАКТИЧЕСКАЯ НАСТРОЙКА

Тайминги	Что задают	Как настраивать
tRDRD_sg, tRDRD_dg, tRDRD_dr, tRDRD_dd	Интервал **чтение → чтение**.	**tRDRD_dg = 8**. Для **tRDRD_sg** начинаем с обученного значения и проверяем эффект от снижения.
tWRWR_sg, tWRWR_dg, tWRWR_dr, tWRWR_dd	Интервал **запись → запись**.	**tWRWR_dg = 8**. Для **tWRWR_sg** в моих тестах минимальным эффективным значением оказалось **16**. При дальнейшем снижении результат оставался прежним.
tRDWR_sg, tRDWR_dg, tRDWR_dr, tRDWR_dd	Интервал **чтение → запись**, включающий смену направления передачи данных.	Начинаем с **Auto**, затем проверяем снижение отдельно для используемых переходов.
tWRRD_sg, tWRRD_dg, tWRRD_dr, tWRRD_dd	Интервал **запись → чтение**.	**sg** связан с **tWTR_L**, **dg** — с **tWTR_S**. Формулы приведены ниже.

Для BL16 передача пакета занимает **16 / 2 = 8 тактов**; отсюда ориентир 8 для tRDRD_dg и tWRWR_dg. Значение **tWRWR_sg = 16** получено в моих тестах.

Используемые **dr/dd** первоначально оставляем в **Auto** и настраиваем отдельно, после проверки основных переходов.

tWRRD_sg И tWRRD_dg: СВЯЗЬ С tWTR

tWRRD относится к интервалу планировщика между командами WRITE и READ. tWTR описывает ожидание после окончания передачи данных записи. Значения связаны, но отсчитываются от разных событий.

Параметр	Базовый расчёт DDR5*	Старый расчёт с пакетом DDR4
tWTR_L	tWRRD_sg – tCWL – 10	tWRRD_sg – tCWL – 6
tWTR_S	tWRRD_dg – tCWL – 10	tWRRD_dg – tCWL – 6

Обратный базовый расчёт:

- **tWRRD_sg = tCWL + 10 + tWTR_L**
- **tWRRD_dg = tCWL + 10 + tWTR_S**

Здесь **10 = 8 тактов пакета + 2 такта поправки расчёта**. tCWL берём из контроллера. В основном расчёте pyhwinfo для Raptor Lake DDR5 ≥ 5200 длинное окончание сигнала записи дополнительно уменьшает рассчитанный tWTR на 1; в обратном расчёте tWRRD соответственно прибавляем 1. Это особенности указанного способа расчёта показаний.

При неизменных tCWL и остальных поправках уменьшение **tWRRD_sg на 1** уменьшает рассчитанный **tWTR_L на 1**; уменьшение **tWRRD_dg на 1** аналогично меняет **tWTR_S**.

tWTR оставляем на Auto и изменяем его через снижение tWRRD. Меняем по одному параметру. После обучения проверяем фактически применённые значения, стабильность под нагрузкой, холодные старты и воспроизводимость результата в тестах производительности.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel: регистры RDRD/RDWR/WRRD/WRWR; SK hynix: формулы для микросхем DDR5; ASUS Apex Encore BIOS 2202; pyhwinfo: memory.py, фиксированная ревизия

3.9 СЛУЖЕБНЫЕ И ЭНЕРГОСБЕРЕГАЮЩИЕ ТАЙМИНГИ

Эти параметры задают паузы при переходах питания, самообновлении и обслуживании интерфейса памяти. Их сокращение редко даёт заметное ускорение. Ошибки настройки могут проявиться при холодном запуске, простое или пробуждении. Практическая отправная точка — **Auto**.

НАЗНАЧЕНИЕ СЛУЖЕБНЫХ ТАЙМИНГОВ

Параметр	Назначение	Связь или практическое уточнение
tCKE	Интервал переходов Power Down в контроллере.	Отдельного вывода CKE у DDR5 нет; значение поля трактуется с учётом платформы.
tPD	Минимальное пребывание в Power Down: от входа до выхода.	Не менее **8 CK и 7,5 нс**.
tCPDED	Пауза после входа в Power Down для отключения обычного декодирования команд.	Не менее **8 CK и 5 нс**; действует одновременно с tPD.
tXP	Выход из Power Down → следующая обычная команда.	Не менее **8 CK и 7,5 нс**.
tXS	Выход из Self Refresh → разрешённые команды.	**tXS(min) = tRFC1***; для команд, требующих DLL: **tXS_DLL(min) = tDLLK**.
tRDPDEN	READ → вход в Power Down.	Ориентир: **tCL + 8 + 1**.
tWRPDEN	WRITE → вход в Power Down.	Ориентир: **tCWL + 8 + tWR + 1**; снижать с учётом tCWL и tWR.
tMRD / tMOD	Интервалы при программировании регистров режима.	Разные служебные параметры; оставлять **Auto**.
tZQCSPeriod	Период обслуживания ZQ-калибровки сопротивлений интерфейса.	**Auto**. Калибровка поддерживает запас по качеству сигнала при изменении температуры.
tOSCO / tMRR	Пауза после остановки DQS-осциллятора / после чтения регистра режима.	Могут быть видимы на Z890; обычно достаточно Auto.

* Для **monolithic DDR5** — одного кристалла DRAM в корпусе. В этой связи используют нормативный tRFC1 микросхемы. Разгонное значение tRFC в BIOS рассматривают отдельно.

Формулы входа в Power Down приведены для **BL16 без CRC**: пакет занимает **8 CK**. tWR здесь выражен в тактах; применённые поля контроллера проверяются отдельно.

POWER DOWN И SELF REFRESH

Power Down снижает потребление памяти во время простоя.

Режим	Практический подход
Power Down Disabled — PD = 0	При отключённом Power Down переходы в этот режим отсутствуют, поэтому tCKE, tXP и задержки входа в PD остаются незадействованными. **tCKE = 8 здесь нейтрально для производительности.** Можно оставить Auto.
Power Down Enabled — PD = 1	Оставить служебные интервалы **Auto** и проверить длительный простой с последующим возвратом к работе.

Для tXP должны одновременно выполняться ограничения в CK и наносекундах. При **DDR5-8200**:

tXP(min) = max(8, ⌈7,5 × 8200 / 2000⌉) = 31 CK.

Это нижняя граница DRAM; контроллер может применить больший интервал.

При отключённом Power Down возможность **Self Refresh** сохраняется: в этом режиме память обновляет данные самостоятельно. **tCKSRX** относится к стабильному тактовому сигналу **перед выходом**, **tXS/tXS_DLL** — к ожиданию **после него**, в зависимости от команды. Эти настройки оставляем Auto. tREFI задаёт интервал обычного обновления.

OREF_RI: ОБНОВЛЕНИЕ ПРИ СВОБОДНОМ РАНГЕ

OREF_RI задаёт порог простоя ранга, определяющий возможность обновления. Основной выбор — **Auto**. По смыслу поля, **0 обнуляет этот порог**; обновление данных сохраняется, а Power Down управляется отдельно. Выигрыш от 0 проверяем на своей конфигурации: сравниваем результат с Auto. Практически не имеет смысла ставить что-либо кроме auto.

ПРОВЕРКА ПЕРЕХОДОВ И ОБУЧЕНИЯ

В режиме Auto значения выбирает BIOS/MRC: после холодного запуска проверяйте фактически применённые значения и повторяемость обучения.

Профиль проверяют под нагрузкой, при **холодном запуске, нескольких перезагрузках, длительном простое, засыпании и пробуждении**. Если сбой возникает после сна, верните служебные интервалы и политики питания в Auto и повторите тот же сценарий. Такое сравнение помогает отделить проблему переходов питания от нестабильности под непрерывной нагрузкой.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix/Micron DDR5: Power Down и Self Refresh; Intel Raptor/Arrow Lake: TC_PWRDN, TC_MR, TC_RETRAINING_OSCL, TC_RFP; ASUS ROG Z790/Z890: BIOS; CKD: техописание.

3.10 КОРРЕЛЯЦИИ: IC, РАНГ, ПЛОТНОСТЬ И ОБЪЁМ

Комплекты одинакового объёма могут иметь разные пределы разгона. На них влияют плотность и ревизия микросхем, число рангов, количество модулей на канал и качество отбора. Сначала определяем организацию комплекта, затем подбираем тайминги.

Признак	Что меняет	Какие тайминги затрагивает	Что проверить
Ревизия IC	Внутренние диапазоны и реакцию на напряжение	tCL, tRCD, tRP, tRFC, tCWL	Маркировку и номер модели; ревизию IC подтверждают отдельно от XMP.
Плотность кристалла	Число ячеек на кристалле	Нормативы tRFC1/2/sb и практический tRFC	Сравнить время в нс с данными той же плотности.
1R / 2R	Нагрузку и смену ранга	2R активирует третичные dr, меняет ODT	При 2R вернуть dr и обучение на Auto.
1DPC / 2DPC	Число модулей и длину тракта	2DPC активирует dd, чаще требует менее жёсткого CR	Заново найти частоту, затем тайминги.
XMP-отбор	Стартовую частоту, CL и напряжение	Минимумы таймингов подбирают для конкретного комплекта	Сопоставить весь профиль: частоту, тайминги и напряжения.

КАК МЕНЯЕТСЯ НАСТРОЙКА ПРИ РАЗНОМ ОБЪЁМЕ

Комплект	Частая организация	Характерная особенность	Логика настройки
2 × 16 ГБ	16-Гбит x8, 1R	Старые Hynix A-die часто допускают низкий tCL	Сначала частота и tRCD, затем tCL и его реакция на VDD.
2 × 24 ГБ	24-Гбит x8, 1R	Небинарная Hynix M-die	Снижение ниже CL36 часто требует много VDD при околонулевом выигрыше.
2 × 32 ГБ	Зависит от конкретного SKU	Возможны 2R на 16-Гбит IC или 1R на более плотных IC	Сначала проверить SPD, число рангов и плотность IC.
2 × 48 ГБ	Часто 24-Гбит x8, 2R	Активны переходы между рангами	Частоту, dr и тайминги обновления подбирать заново.

tCL И VDD: ОЦЕНКА ВЫИГРЫША

При DDR5-8200 снижение tCL с 38 до 36 сокращает CAS-составляющую задержки примерно на 0,49 нс. Если ради этого VDD растёт на 50–100 мВ, память сильнее греется, а tRCD/tRP остаются прежними, повседневный профиль CL38 может оказаться рациональнее.

ОБЪЁМ ВЛИЯЕТ ЧЕРЕЗ ОРГАНИЗАЦИЮ

Модуль 24 ГБ на 24-Гбит IC остаётся одноранговым. Для 48 ГБ на тех же IC обычно нужны два ранга. Они дают контроллеру больше возможностей для параллельной работы; одновременно появляются переключения между рангами и обучение дополнительных переходов dr.

При переходе с 48 на 96 ГБ заново проверьте частоту, третичные тайминги и обновление данных, даже если ревизия IC осталась прежней.

В CUDIMM чип CKD улучшает тактовый сигнал. tCL, tRCD, tRFC и третичные тайминги сохраняют свои назначения. При переносе профиля сохраняем зависимости и время в наносекундах. Число тактов пересчитываем для новой частоты и проверяем на новой конфигурации.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix: техописания микросхем/модулей; Intel: поддержка памяти; TeamGroup: комплекты DDR5-8200/6800; метод сравнения вариантов.

3.11 ASUS Z790 APEX ENCORE BIOS 2202

В этой главе я ориентируюсь на ASUS ROG Maximus Z790 Apex Encore с BIOS 2202. Общая структура меню соответствует официальному руководству. Набор отдельных строк зависит от прошивки, процессора и модулей. Названия параметров приведены в формулировках ASUS.

AUTO НА APEX — ОТПРАВНАЯ ТОЧКА

На проверенных мной BIOS плат Apex вторичные и третичные тайминги корректно обучаются в Auto. После холодного запуска записываем применённые значения, включая Runtime, и начинаем снижать их по одному.

КАРТА РАЗДЕЛА DRAM TIMING CONTROL

Группа ASUS	Что находится внутри	Как пользоваться
Primary Timings	tCL, tRCD Read/Write, tRP, tRAS, Command Rate	Основной ряд; Read и Write показаны отдельными полями.
Secondary Timings	tRRD, tFAW, tRFC, tREFI, tWR, tRTP, tWTR, tCWL	Активация, восстановление и обновление данных.
Third Timings	tRDRD, tWRWR, tRDWR, tWRRD с sg/dg/dr/dd	Переходы контроллера; ориентир — обученные значения.
Misc. Timings	Power Down, Self Refresh, ZQ и служебные интервалы	PD=0, остальное Auto, если нет отдельной диагностической задачи.
Memory Training Algorithms	Алгоритмы обучения и согласования интерфейса	Процедуры обучения подробно разобраны в главе 05.

ТОЧНЫЕ СТРОКИ, КОТОРЫЕ ЧАЩЕ ВСЕГО ЗАДАЮТСЯ ВРУЧНУЮ

Название ASUS	Кратко	Связь	Нюанс BIOS 2202
DRAM CAS# Latency	tCL	READ → data	Для DDR5 нечётное значение округляется вверх.
RAS# to CAS# Delay Read / Write	tRCDRD/ WR	ACT → RD/WR	Два поля; равные значения подходят для начала настройки. Возможность раздельного подбора зависит от платформы.
DRAM RAS# PRE Time	tRP	PRE → ACT	Проверяется на смене строк.
DRAM RAS# ACT Time	tRAS	ACT → PRE	Сверять с tRCDRD+tRTP.
DRAM REF Cycle Time 2	tRFC	Обновление	В руководстве это поле обозначено как tRFC. Активность режима 2× FGR требует отдельного подтверждения.
REF Cycle Time Same Bank	tRFCsb	По одному банку в каждой группе	Остальные банки остаются доступны во время цикла.
WRITE to READ Delay L / S	tWTR_L/ S	Конец данных WR → RD	Связаны с tWRRD_sg/dg.
DRAM Write Latency	tCWL	WRITE → data	Для базы CL36 используется CWL34 по формуле tCWL = tCL − 2 = 34
tRDRD_sg/dg Training / Runtime	RDRD	RD → RD	Runtime — фактический рабочий интервал; его и записываем.

TRAINING (ОБУЧЕНИЕ) И RUNTIME (РАБОЧИЙ РЕЖИМ)

Training относится к поиску рабочего диапазона во время обучения памяти, Runtime — к интервалу, который планировщик использует после запуска. В режиме Auto значения выбирает BIOS/MRC. Перед ручной настройкой учитываем их после холодного запуска.

ЧТО ФИКСИРОВАТЬ ПЕРЕД РУЧНЫМ ВВОДОМ

После полного обучения записываем частоту, Gear, Command Rate, все первичные и вторичные тайминги, группы tRDRD/tWRWR/tRDWR/tWRRD, температуру модулей и версию BIOS. Для строк с Training/Runtime записываем Runtime.

Введённое значение после запуска может измениться: MRC округляет его к допустимому коду или применяет внутреннее ограничение. Ориентируемся на фактически применённое значение.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790: руководство по BIOS; ROG Maximus Z790 Apex Encore: меню BIOS 2202; Intel: регистры таймингов.

3.12 ASUS Z890 APEX: ЧТО ИЗМЕНИЛОСЬ

На Z890 основные DDR5-тайминги сохраняют свои назначения. ASUS перестроила меню под Core Ultra 200S, CUDIMM и новый MRC. С Z790 переносим связи между параметрами и порядок настройки; значения подбираем для новой платформы. Таблица составлена по публичному руководству ROG Z890. Конкретный набор пунктов зависит от BIOS, CPU и DIMM.

Область	Z790 Apex Encore 2202	Z890 Apex	Практический вывод
Профили	Maximus Tweak	Memory Presets; DIMM Fit / Fit Store	DIMM Fit — отдельный инструмент обучения со своим назначением.
Command Rate	1N, 2N, 3N, N:1	В публичном меню 1N / 2N	Для высокочастотной DDR5 базой остаётся 2N.
tCCD	Отдельные поля не показаны	Добавлены tCCD_L и tCCD_L_WR	Стало проще видеть длинные пути чтения и записи.
Обновление*	tRFC1, tRFC2, tRFCsb, tREFI и расширенные поля	Публично tRFC, tRFCsb, tREFI; добавлен tRFM	RFM управляет обновлением при частых активациях; tRFM задаёт длительность RFM-цикла. За длительность обычного refresh отвечает tRFC.
tRDRD	Training и Runtime раздельно	Один итоговый пункт в публичном меню	Само обучение осталось; исчезло ручное разделение строк.
Питание	Разрозненные Power Down поля	Явные режимы, пороги, счётчики по субканалам	Настройка стала подробнее, но для разгона таймингов оставляем Auto.
Divide DRAM timings	Отдельного пункта в публичном руководстве нет	Единый пункт Divide DRAM timings	Пункт задаёт кодирование диапазона полей. Gear и интервалы команд настраиваются отдельно.
Обучение	Базовые алгоритмы и Round Trip	Training Consistency; Rank-to-Rank; больше PHY-настроек	Проверять повторяемость после холодного запуска.

НОВЫЕ И СКРЫТЫЕ СТРОКИ

Группа	Что видно на Z890	Как трактовать
Добавилось	tCKCKEH, tCA2CS, tOSCO, tMRR, tRPab, tccdByteCasDelta, tRFM, tSR, tZQCSPeriod, tMRD	Часть служебных параметров и механизмов теперь доступна в меню. Для начала настройки оставляем Auto.
Не показано	tRFC2, tREFIX9, Ref Interval, tXPDLL, tMOD, tZQOPER; refresh debt (отложенные REF)/PBR	Доступность механизма в MRC проверяют отдельно от наличия строки в публичном меню.
Не переименовано	tRPab ext ≠ tRPab; tMOD ≠ tMRD; tZQOPER ≠ tZQCSPeriod	Назначение каждого параметра проверяют отдельно, включая параметры с похожими названиями.

CUDIMM И CKD

CKD восстанавливает тактовый сигнал на модуле. tCL, tRCD и tRFC сохраняют свои назначения. При CUDIMM появляются дополнительные настройки CKD: CKD Skew Control, PLL Bypass и режимы PLL. Dual PLL добавлен в BIOS 1203. PLL Bypass отключает главное преимущество CKD; применяется для совместимости и диагностики.

ЧТО ПЕРЕНОСИТЬ С Z790, А ЧТО ИСКАТЬ ЗАНОВО

С Z790 можно переносить смысл параметров, формулу tRC=tRAS+tRP, связи tRRD/tFAW и tWTR/tWRRD, а также сам подход к пересчёту тактов в наносекунды. Частоту, напряжения, результат обучения и значения, зависящие от PHY, подбираем заново.

Для пункта с похожим названием сначала проверяем назначение по конкретной версии BIOS. До этого оставляем Auto и записываем фактически применённое значение. Число от Z790 используем только после подтверждения соответствия параметров.

Divide DRAM timings оставляем Auto. Ручную настройку рассматриваем при ограничении диапазона поля. В том числе на 9600 MT/с решение зависит от частоты и кодирования конкретного тайминга в BIOS/MRC.

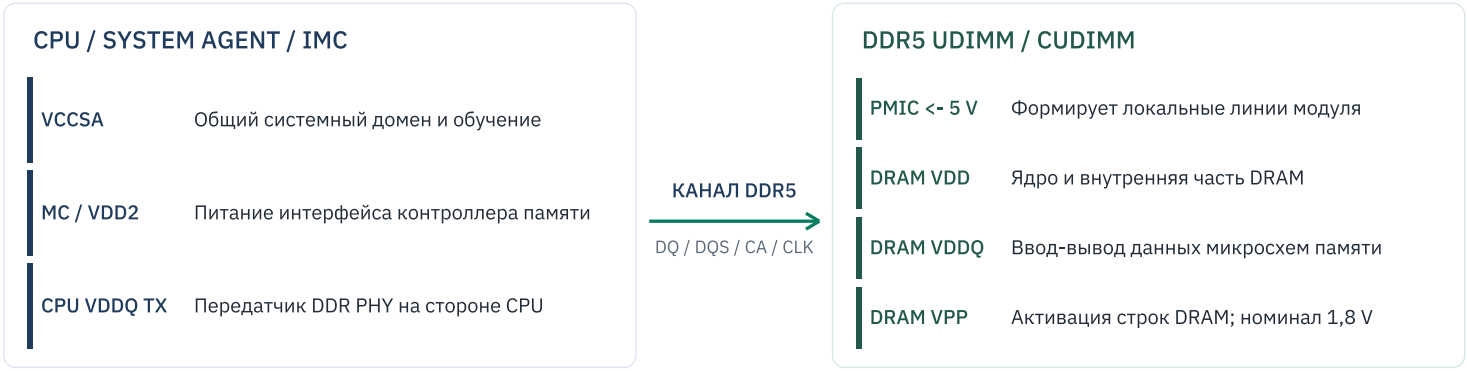
***** Для Raptor Lake-S публичная документация Intel указывает, что DDR5 RFM отключён. Активность механизма на конкретной платформе требует отдельного подтверждения по документации и работе контроллера.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790/Z890: BIOS; ASUS: CKD/CUDIMM/Memory Gear; Z890 Apex: история BIOS; Intel Core Ultra 200S: регистры.

04 / НАПРЯЖЕНИЯ

4.1 Карта питания: CPU, IMC/PHY, DIMM

При разгоне DDR5 настраивают напряжения нескольких независимых доменов. Часть находится внутри процессора, часть относится к электрическому интерфейсу канала, а VDD, VDDQ и VPP формирует PMIC на самом модуле. Сначала разделяем эти зоны физически — только потом ищем связь с ошибкой.



VDDQ НА СТОРОНЕ CPU И DIMM: ОТДЕЛЬНЫЕ ЛИНИИ ПИТАНИЯ

DRAM VDDQ питает ввод-вывод данных микросхем на DIMM. На Z790 IVR Transmitter VDDQ относится к передатчику CPU. На Z890 Vddq Voltage Override находится в блоке Advanced Memory Voltages на стороне CPU. Обозначение VDDQ в обоих случаях указывает на напряжение I/O-домена тракта данных DQ/DQS, но на разных сторонах интерфейса CPU–DIMM; это функционально родственные, однако электрически независимые линии питания.

КАК ЧИТАТЬ ЧИСЛО, КОТОРОЕ ПОКАЗЫВАЕТ BIOS

Тип значения	Пример	Что оно означает
Уставка	SA, TX, MC, DRAM VDD/VDDQ	Запрошенное значение. Напряжение в точке измерения может отличаться от него.
Auto / training	MRC подбирает Vref, ODT и задержки	В режиме Auto значение выбирает алгоритм прошивки. После изменения одного напряжения нужна полная перетренировка.
Расчетная база	MC/VDD Calculation Voltage Base	Расчётная величина, которую прошивка использует при настройке напряжения существующей линии.
Телеметрия	IVR VCCSA, VDDQ TX, IMC VDD, PMIC	Сравниваем показания одного и того же датчика при одинаковой нагрузке.

4.2 CPU System Agent Voltage: SA

VCCSA питает System Agent — домен, который включает больше узлов, чем один контроллер памяти. SA влияет на рабочий режим памяти и uncore и на повторяемость MRC. Интерфейс контроллера получает питание VDD2, а микросхемы DRAM — от линий питания модуля. На Z890 SA также участвует в настройке uncore/NGU; для D2D предусмотрены собственные домены питания и коэффициенты.

Недостаток SA может проявляться циклами POST, плохим холодным бутом или плавающим результатом обучения. Перебор способен дать те же симптомы: меняются шум, опорные уровни и найденный диапазон PHY. Небольшими шагами находим диапазон, в котором результат воспроизводится.

> **ДИАПАЗОН ВВОДА BIOS И ОГРАНИЧЕНИЯ ПОСТОЯННОГО ПРОФИЛЯ**
>
> Диапазон напряжений в BIOS ASUS шире необходимого для повседневного разгона и настройки DDR5. Верхние значения этого диапазона небезопасны.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel Raptor Lake / Core Ultra 200S: спецификации питания; ASUS ROG Z790 — E21402 / Z890 — E25061: руководства BIOS; Micron: архитектура клиентских модулей DDR5.

4.3 CPU VDDQ TX

На ASUS Z790 строка IVR Transmitter VDDQ Voltage буквально задает внутреннее напряжение передатчика контроллера памяти. Это часть канала на стороне CPU: она участвует в формировании фронтов DQ/DQS, обучении записи, Vref/ODT и электрическом запасе на высокой скорости.

Состояние TX	Что обычно наблюдаем	Как трактовать
Недостаток	Нестабильное обучение записи, ранние ошибки тракта данных, зависимость от MT/s	TX VDDQ — первый подозреваемый. На те же симптомы могут влиять MC, DRAM VDDQ, ODT и PHY.
Рабочий диапазон	Холодные буты повторяются, Vref и обученные интервалы не плавают	Выбираем напряжение с запасом внутри проверенного диапазона стабильных бутов.
Перебор	Повышение больше не помогает либо сразу ухудшает обучение	Диапазон устойчивой работы может сузиться из-за выброса фронтов, перекрестных наводок и неверного баланса с другой стороной канала.

> **TX VDDQ И DRAM VDDQ РАБОТАЮТ НА РАЗНЫХ СТОРОНАХ КАНАЛА**
>
> Делать их равными не обязательно, универсальной «правильной» дельты между ними нет. Зафиксируйте вторую сторону на заведомо стабильном значении, а затем небольшими шагами меняйте только одно напряжение с полной перетренировкой.

На Z890 отдельное имя IVR Transmitter VDDQ исчезло. В Advanced Memory Voltages появились VccDdqControl Bypass и Vddq Voltage Override, а рядом — поля VccIog и VccClk. Публичное руководство ASUS подтверждает наличие этих низкоуровневых настроек на стороне CPU/PHY, но не раскрывает их точную электрическую привязку. Vddq Override функционально близок прежнему домену TX, однако считать его переименованием 1:1 и копировать число с Z790 нельзя.

4.4 VDD2: питание интерфейса IMC

ASUS на Z790 и Z890 называет эту линию Memory Controller Voltage. В документации Intel ее аппаратное имя - VDD2: питание интерфейса контроллера памяти и процессорного DDR I/O. В HWiNFO она обычно видна как IMC VDD. VDD2 питает интерфейс контроллера, модульный VDD — внутренние схемы DRAM, TX VDDQ — передатчики на стороне CPU.

Фактор	Почему меняет нагрузку	Практический вывод
MT/s и Gear	Рост MT/s сокращает интервалы передачи данных. Переход Gear 2 → Gear 4 при той же скорости памяти вдвое снижает частоту контроллера и обычно увеличивает задержки доступа.	MC часто влияет на частотный предел. Подбирайте его вместе с реалистичной для вашей конфигурации частотой.
2R	Больше рангов, приемников и переключений внутри DIMM/канала	Сначала заново определить частоту, ODT и обучение; не повышать MC автоматически.
2DPC	Второй DIMM добавляет электрическую нагрузку и ответвления линии	Учитывать топологию платы и заново проверять частоту, ODT и обучение.
Плотность кристалла	Меняет внутреннюю организацию и обновление DRAM	Влияет на MC косвенно; сильнее связана с VDD, tRFC, tREFI и температурой.
Избыток MC	Растут потребление, нагрев и шум внутри CPU	Если повышение MC не расширяет диапазон устойчивой работы, оно лишь увеличивает нагрузку.

ЧТО ОСТАВИТЬ AUTO

MC/VDD Calculation Voltage Base — расчётные параметры прошивки. Memory Controller Boot Voltage задаёт уставку существующей линии на этапе бута, Eventual Memory Controller Voltage — её конечную рабочую уставку. Названия Boot/Eventual относятся к конкретным BIOS Z790 и могут отсутствовать в публичном меню Z890; если нет подтвержденной проблемы именно при переходе от бута к рабочему режиму, оставляем эти поля Auto.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790 — E21402 / Z890 — E25061: руководства BIOS; Intel Raptor Lake / Core Ultra 200S: спецификации VDD2 и контроллера памяти.

4.5 DRAM VDD и VDDQ

DRAM VDD и DRAM VDDQ находятся на самом модуле и формируются его PMIC. VDD питает внутреннюю часть DRAM, VDDQ — ввод-вывод данных микросхем. Номинальные VDD и VDDQ — по 1,10 В; в профилях XMP эти напряжения часто выше.

Линия	Физическая роль	Чаще связана	Что ограничивает
DRAM VDD	Ядро, массив и внутренняя периферия DRAM	tCL, часть внутренних таймингов и индивидуальный минимум tRFC	Ревизия и отбор IC, температура и быстрое плато tRCD/tRP.
DRAM VDDQ	Передатчики/приемники данных на DIMM	Запас сигнала при записи/передаче данных, VrefDQ и развороты вместе с CPU TX и MC	Качество канала, ODT и обучение; дальнейшее повышение может ухудшить результат.

СВЯЗЬ НАПРЯЖЕНИЙ С ЧАСТОТОЙ И ТАЙМИНГАМИ

Что меняем	Как обычно реагирует	Почему нельзя повышать вслепую
MT/s	Затрагивает VDD/VDDQ, но также TX, MC, SA и обучение	Частотный предел редко лечится одним напряжением модуля.
tCL	На Hynix часто заметнее реагирует на VDD	На 24-Гбит M-die дальнейшее снижение tCL при выбранной скорости памяти может потребовать заметного повышения VDD ради небольшого прироста производительности или полного его отсутствия.
tRCD / tRP	Часто раньше упираются в архитектуру IC	После плато лишний VDD только добавляет тепло.
tRFC / tREFI	Зависят от плотности, ревизии и температуры	Рост VDD может нагреть DIMM и ухудшить стабильность обновления после прогрева.

ОДИНАКОВЫЕ VDD И VDDQ КАК НАЧАЛЬНЫЕ ЗНАЧЕНИЯ

Начинать с одинаковых XMP-значений удобно. После проверки стабильности можно подобрать VDD и VDDQ отдельно: одно напряжение фиксируем, второе меняем небольшими шагами и проверяем результат.

4.6 Служебные настройки питания

Строка ASUS	Что делает	Практика этого руководства
High DRAM Voltage Mode	Открывает диапазон применяемых значений в BIOS выше 1,435 В.	Сам ничего не повышает. Верх BIOS до 2,070 V не является безопасной рекомендацией.
DRAM VPP Voltage	Питание активации строк; номинал 1,8 В	Не трогать.
SPD HUB VLDO / VDDIO	SPD Hub: логика 1,8 В; служебный интерфейс 1,0 В	Auto; проблемы здесь ближе к SPD, датчику и управлению PMIC.
Sync All / By per PMIC	Одинаковая либо раздельная запись модулей	Для модулей одного комплекта удобна синхронная настройка; раздельная — только при подтвержденном различии. Даже комплект не гарантирует равную температуру и телеметрию.
Switching Frequency / Current	Режим преобразователей и токовый предел PMIC	Оставить Auto до выявления измеряемой просадки или ошибки PMIC. Поля управляют работой преобразователей существующих линий питания.

CUDIMM: ПИТАНИЕ DRAM И РЕЖИМЫ CKD

CKD восстанавливает тактовый сигнал и может работать в режимах Single PLL, Dual PLL или Bypass.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Micron: DDR5 SDRAM и клиентские модули; ASUS ROG Z790 — E21402 / Z890 — E25061: руководства BIOS; Renesas: P8911 PMIC и RG5C172 CKD — краткие технические описания.

4.7 Подбор напряжений

У каждого напряжения есть рабочий диапазон. Ниже него не хватает электрического запаса, а выше меняются скорость фронтов, Vref, ODT, шум и нагрев; после полной перетренировки рабочий диапазон способен снова сузиться. Динамическая составляющая мощности грубо растет как Pdyn ~ C x V^2 x f, поэтому маленький рост V на высокой частоте заметно влияет на тепло.

Характер проблемы	Первый круг подозреваемых	Что проверить до повышения	Подходящий тест
Нет POST / цикл тренировки	MC/VDD2, CPU VDDQ, SA, частота	Gear, 1DPC/2DPC, ODT, несколько холодных бутов	POST-коды и повторная тренировка
Ранние ошибки записи/данных	DRAM VDDQ, CPU TX, MC	tWR/tWTR/turnaround и обученные Vref	Karhu/TM5 с упором на запись
VT3 срывается	MC, TX, SA и связь с CPU/ring	Разделить ошибку памяти и тяжелой нагрузки CPU	y-cruncher VT3
Ошибки только после прогрева	VDD, tREFI/tRFC, охлаждение	Температуру DIMM и откат tREFI	Karhu после прогрева/TM5 с контролем показателей
Только холодный бут / сон	Обучение, стартовые уставки, состояние питания	MRC Fast Boot, сохранённые результаты обучения и служебные настройки Auto.	Холодные буты, сон/пробуждение

ВЫБОР НАПРЯЖЕНИЯ ДЛЯ ПОСТОЯННОГО ПРОФИЛЯ

Частоту, Gear и заданные тайминги оставляем прежними. Меняем одно напряжение, выполняем полную перетренировку и несколько холодных бутов. Результаты обучения фиксируем и сравниваем при сопоставимой температуре. Нижнюю границу ищем небольшими шагами, а вверх идем только внутри заранее заданного разумного коридора и останавливаемся, если улучшения нет или растет температура. Намеренно повышать напряжение до появления ошибок не нужно. Финальное значение оставляем внутри повторяемого диапазона с небольшим запасом; ни один код ошибки не указывает на конкретную линию однозначно.

В моём профиле Z790 Apex Encore / BIOS 2202 / 2 × 24 ГБ / DDR5-8200 заданы SA 1,22; TX 1,35; MC 1,40; VDD 1,49; VDDQ 1,44 V. Телеметрия показывает близкие, но не равные числа. Пример показывает разницу между уставками и показаниями датчиков на моей конфигурации. Для другой системы напряжения подбирают отдельно; безопасность этих значений здесь не установлена.

4.8 Названия напряжений в BIOS ASUS

Функция	Z790 Apex Encore 2202	Z890 Apex	Как переносить
System Agent	CPU System Agent Voltage	CPU System agent Voltage	Имя сохранено; цифры не копировать из-за новой архитектуры NGU/D2D.
VDDQ на стороне CPU	IVR Transmitter VDDQ Voltage	VccDdqControl Bypass + Vddq Voltage Override	Функционально близко, но это не подтвержденное переименование 1:1.
IMC / VDD2	Memory Controller Voltage	Memory Controller Voltage	Основная линия памяти на стороне CPU; HWiNFO часто показывает IMC VDD.
Ядро/данные DRAM	DRAM VDD Voltage / DRAM VDDQ Voltage	Те же точные имена	DRAM VDD и DRAM VDDQ — линии питания модуля, которые формирует PMIC; CPU Vddq Override относится к стороне процессора.
PMIC / SPD / VPP	PMIC Voltages; SPD HUB; DRAM VPP	Те же группы; PMIC0-1 на Apex	Служебные настройки в Auto, если нет доказанной асимметрии.
Вспомогательные поля Z890	Отдельных публичных строк нет	VccIogControl Bypass; VccIog Voltage Override; VccClkControl Bypass; VccClk Voltage Override	Низкоуровневые поля CPU/PHY; точная электрическая роль публично не раскрыта. Auto без отдельной диагностики.
D2D / постоянно активный домен	Нет	VNNAON 0.77v Voltage; NGU Ratio; CPU D2D Ratio	Настройки D2D и постоянно активного домена CPU; для обычной настройки памяти оставить Auto/штатные значения.

INTEL 200S BOOST: УСЛОВИЯ ПРОФИЛЯ И ЕГО ПРИМЕНИМОСТЬ

Для Intel 200S Boost нужны совместимый Core Ultra 200S K/KF или 200S Plus, плата Z890 с поддержкой профиля в BIOS и один установленный XMP-модуль на канал (1DPC). Профиль предусматривает скорость до DDR5-8000 при VDD2 ≤ 1,40 В, VCCSA ≤ 1,20 В и модульных VDD/VDDQ ≤ 1,40 В.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790 — E21402 / Z890 — E25061: руководства BIOS; история BIOS Z790 Apex Encore / Z890 Apex; Intel Core Ultra 200S: линии питания и 200S Boost; моя база BIOS/HWiNFO.

4.9 Ориентиры по напряжениям

Диапазоны в таблице — очень условные ориентиры, основанные на моём личном мнении. Единого официального безопасного диапазона ручного ОС нет: влияют платформа, тип и плотность микросхем, ранговость и число модулей.

ДИАПАЗОНЫ НАПРЯЖЕНИЙ, В

Линия / платформа	Рабочий ОС (В)	Не рекомендую (В)
DRAM VDD [1]	1,45-<1,52 [2]; 1,45-<1,55 [3]	>1,55
Z690 · VCCSA	1,20–1,30 [4]	>1,35
Z690 · IVR TX VDDQ	1,20–1,35	>1,35
Z690 · MC / VDD2	1,25–1,40	>1,40
Z790 · VCCSA	1,10–1,30	>1,40
Z790 · IVR TX VDDQ	1,20–1,40	>1,45 [5]
Z790 · MC / VDD2	1,25–1,45	>1,50
Z890 · VCCSA	1,00–1,20	>1,35
Z890 · MC / VDD2	1,20–1,40	>1,50

Официальный ориентир Z890: Intel 200S Boost — SA ≤ 1,20 В.

1 A-die, M-die небинары; **2** воздух; **3** вода; **4** снижать только при сохранении стабильности, вплоть до 1,10–1,15 В; **5** по моим наблюдениям в сообществе, постоянный TX VDDQ >1,45 В сопровождался случаями выхода из строя 13900K и 14900K. Это наблюдения, не подтверждённый порог отказа.

DRAM VDD И VDDQ: ПОДБИРАЮТСЯ РАЗДЕЛЬНО

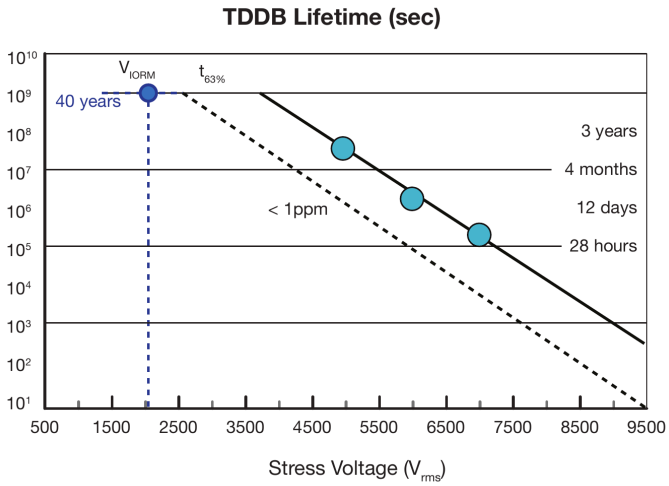
VDD питает внутренние схемы DRAM, VDDQ — интерфейс I/O. Разница линий ограничена спецификациями IC/PMIC; предельные значения не равны рабочим условиям. Безопасная ОС-дельта не установлена. Фиксируем VDD, частоту и тайминги, снижаем VDDQ шагами 10–20 мВ. После прогрева и нескольких полных тренировок находим нижнюю проходящую границу, затем выбираем значение с небольшим запасом внутри повторяемого диапазона. Тесты не доказывают безопасность ОС.

ВОДОБЛОК НА ПАМЯТИ: ХОРОШИЙ ТЕПЛОВОЙ ЗАПАС

При хорошем контакте и прохладной жидкости водоблок снижает нагрев DIMM и даёт запас для таймингов, частоты либо уменьшения напряжения. Если предел уже в IMC или качестве сигнала, прироста может не быть.

Сравнение одной пары 2 × 24 ГБ M-die: для 8200 CL34 обдув 140 мм / 800 об/мин потребовал 1,56 В при 49,2/48,5 °C; водоблок — 1,50 В при 31,2/31,0 °C. Это AM5, напряжения подбирались отдельно; проверка — 1 ч Karhu + около 25 мин TM5. Температура считана с SPD Hub, ресурс мной не исследовался; пример приведён для сравнения.

ЭЛЕКТРИЧЕСКАЯ НАГРУЗКА СОХРАНЯЕТСЯ И ПРИ ОХЛАЖДЕНИИ



TI, SSZY028 (2017), рис. 5. Высоковольтные изоляторы. Показанные напряжения и сроки службы к DDR5 не относятся. Схема помогает понять принцип.

Повышенное напряжение усиливает электрическое поле в диэлектрике. Длительное воздействие постепенно ухудшает его изоляционные свойства и может закончиться пробоем — TDDB. Нагрев ускоряет ряд механизмов старения.

Водоблок снижает температуру, но не убирает поле от заданного VDD/VDDQ. Поэтому холодный модуль способен проходить тесты и при этом терять ресурс. Более низкая температура уменьшает тепловую составляющую риска; она не превращает высокий вольтаж в безопасный режим.

На графике TI: Stress Voltage (Vrms) — испытательное напряжение, действующее значение, В; TDDB Lifetime (sec) — время до пробоя, с, в логарифмическом масштабе. Выше напряжение — меньше время. Точки: отказ 63% образцов; пунктир: прогноз для 1 ppm (миллионной доли). Years/months/days/hours — годы/месяцы/дни/часы.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel 200S Boost; PhoenixMDA: измерения напряжений и охлаждения; Texas Instruments SSZY028, рис. 5. Intel 200S Boost, Сравнение одной пары 2 × 24 ГБ M-die, TI, SSZY028 (2017), рис. 5.

05 / НАСТРОЙКА И ТРЕНИРОВКА ПАМЯТИ

5.1 Подготовка системы

Прежде чем пробовать чужие тайминги, подготовьте воспроизводимую исходную точку на своей системе. Сначала мы доказываем, что система исправна на чистом JEDEC/Auto (автоматическом режиме), затем отдельно создаем базу XMP. Между этими режимами нельзя оставлять старые ручные напряжения, обученные значения или скрытые настройки профиля.

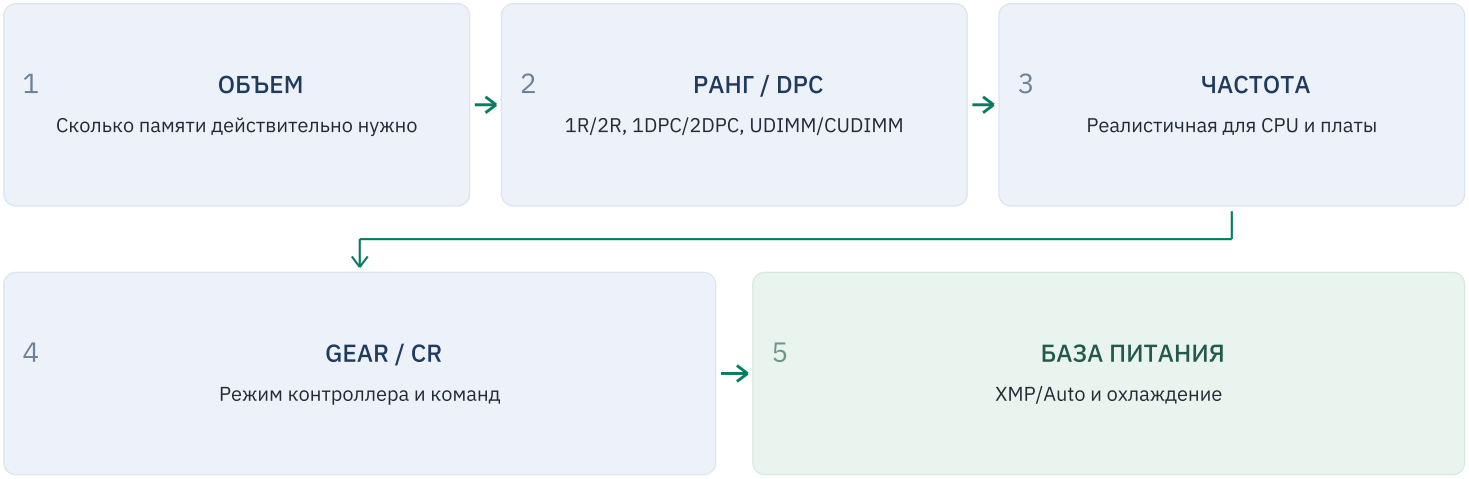
ДВЕ ИСХОДНЫЕ ТОЧКИ И ДВЕ РАЗНЫЕ ЗАДАЧИ

Режим	Что применяем	Для чего он нужен
JEDEC / Auto	Load Optimized Defaults (загрузка оптимальных настроек), XMP выключен; выполняем полную тренировку	Проверить сборку, слоты, SPD, бут и базовую работу без разгона.
XMP II	Полный набор параметров XMP-профиля DIMM; отсутствующие в профиле параметры определяет BIOS/MRC.	Исходная XMP-база для сравнения; загрузка XMP II не исключает участие BIOS/MRC.
XMP I	Основные XMP-поля DIMM и остальные параметры, оптимизированные ASUS	Отдельная ветка сравнения; результат не смешивать с XMP II.
XMP Tweaked	XMP плюс дополнительные настройки ASUS для совместимых комплектов	Усиленный профиль ASUS: проверять только после стабильной базы.

ПАСПОРТ КАЖДОЙ СЕССИИ

Фиксируем	Что именно	Фиксируем	Что именно
Платформа	CPU, плата, версия BIOS и ME	Комплект	Номер модели, общий объём, 1R/2R, плотность кристалла
Установка	A2/B2 на 4-DIMM либо оба слота Apex; число DIMM на канал отдельно	Тип модуля	UDIMM/CUDIMM, XMP-профиль, режим CKD при наличии
Условия	Обдув DIMM, температура помещения	Показания	Уставки BIOS и показания датчиков HWiNFO
Результат	Тип бута, Q-Code (диагностический POST-код), время тренировки	Проверка	Тест, длительность, температура и точный симптом

5.2 Выбор исходных параметров



ЧТО ОБНУЛЯЕТ НАЙДЕННУЮ БАЗУ

Смена CPU, количества или ранга DIMM, используемых слотов, типа UDIMM/CUDIMM, версии BIOS либо крупное изменение частоты/Gear (делителя контроллера) требуют заново проверить соответствующий ранний этап.

ПОЧЕМУ ОБЪЁМ ПАМЯТИ ВЫБИРАЕМ ПЕРЕД СКОРОСТЬЮ MT/S

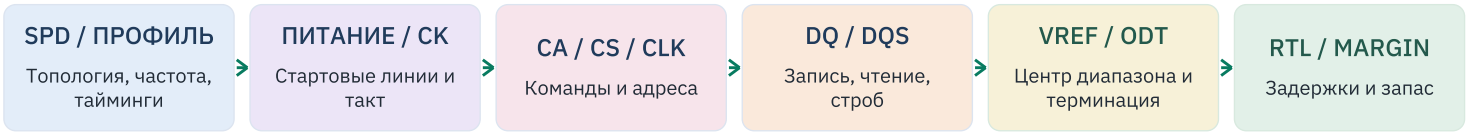
Объем определяет доступную организацию модулей и электрическую нагрузку раньше, чем мы выбираем целевую частоту. Комплект 2 × 48 ГБ обычно требует другой стратегии, чем 2 × 24 ГБ, даже при одинаковом производителе IC: меняются ранги, обучение памяти, ODT, температура и реалистичный потолок контроллера.

Gear (делитель контроллера) и Command Rate (командный интервал) выбираются после целевой нагрузки. И только затем имеет смысл искать полезные диапазоны SA, TX, MC, VDD и VDDQ. Так проще выявить причину неудачи и снизить риск того, что лишнее напряжение скроет неверно выбранную базу.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790/Z890: BIOS и описания XMP I/II/Tweaked; Intel: документация MRC и платформ DDR5.

5.3 Тренировка памяти MRC

Memory Reference Code, MRC (код инициализации памяти) - часть прошивки Intel, которая при буте подбирает рабочие задержки, уровни опорного напряжения, терминацию и компенсацию сигнала. Результат — набор параметров для продолжения бута. Оптимальные тайминги подбирают при настройке профиля, а стабильность проверяют отдельно под нагрузкой.



5.4 ЗАПУСК И ПЕРЕЗАГРУЗКА

Сценарий	Что происходит	Что он доказывает
Полная тренировка	MRC заново выполняет необходимый набор этапов; POST заметно дольше	Повторяемость найденного диапазона при retrain (повторной тренировке). Стабильность в Windows проверяем отдельными нагрузочными тестами.
Ребут	Обычный ребут без снятия питания; возможен быстрый путь	Только способность системы проходить ребут с этим профилем.
S5 / выключение	Работа ОС завершена, но плата может оставаться под дежурным питанием	Не является колдбутом и не гарантирует полное повторное обучение.
Колдбут (AC Cold Start или Cold Boot)	Холодный запуск системы с полным снятием питания	Не гарантирует полный MRC, если прошивка использует сохраненные данные.
MRC Fast Boot / Fast Boot	BIOS применяет сокращенный путь MRC	Включать для экономии времени после подтверждения повторяемости полного обучения.
BIOS Fast Boot	Ускоряет общий POST и инициализацию устройств	BIOS Fast Boot ускоряет общую инициализацию устройств; MRC Fast Boot сокращает обучение памяти за счёт сохранённых результатов.
Windows Fast Startup / сон	ОС восстанавливает сохраненное состояние либо выходит из сна	Проверяется отдельно, в дополнение к буту, ребуту и колдбуту.

СЛУЖЕБНЫЕ НАСТРОЙКИ ASUS

Строка BIOS	Назначение	Как использовать
MRC Fast Boot (Z790) / Fast Boot (Z890)	Сокращенный путь через MRC	Выключить при поиске профиля; включать после серии полных тренировок.
MCH Full Check	Полная проверка MCH; ASUS связывает Enabled со стабильностью	Auto/Enabled для повседневного профиля; Disabled - только эксперимент на предел.
Mem Over Clock Fail Count	Число неудачных POST до восстановления	Не завышать: большое число лишь удлиняет цикл неудачной тренировки.
Training Profile	Auto / Standard Profile / ASUS User Profile	Начинать с Auto; внутренняя разница публично не раскрыта.
Mrc Training Loop Count	Экспоненциальное число внутренних циклов	Управляет внутренними циклами тренировки MRC; оставить Auto без конкретной диагностической задачи. Нагрузочные тесты запускаются отдельно в ОС.
Improve Training Limit (Z790 2202)	Строка есть в прошивке, но ее точная логика публично не описана	Оставить Auto; не приписывать ей выдуманный предел частоты или напряжения.
Memory Test on Warm Boot (Z790 2202)	Базовая проверка памяти при ребуте. Warm Boot здесь обозначает тип запуска; температуру компонентов учитывают отдельно. Строка может быть скрыта.	Только диагностика; она не заменяет тестирование в ОС.
Realtime Memory Timing	Разрешает изменение таймингов после MRC_DONE	Выключено для обычной методики; итог перепроверять после полноценного POST.

> **ГЛАВНОЕ РАЗЛИЧИЕ**
>
> Удачный POST означает лишь то, что MRC нашел параметры, с которыми система загружается. Ошибка может появиться позже при нагреве, другой нагрузке или следующем полном обучении. Поэтому тренировка и тестирование - два последовательных, но разных этапа.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790/Z890: руководства по BIOS; Intel: Memory Reference Code и инициализация памяти Core Ultra 200S.

5.5 Training Algorithms на ASUS Z790

Таблица объединяет публичное руководство ASUS Z790 BIOS и фактическое меню Apex Encore BIOS 2202. В режиме Auto состояние каждой функции выбирает MRC/ASUS. Последний столбец - моя практическая A/B-схема для Z790 Apex Encore / BIOS 2202 / 2 x 24 ГБ DDR5-8200. Для другой платы, CPU, комплекта или BIOS исходный режим - Auto.

Группа	Строки BIOS (однотипные пункты сгруппированы)	Что обучает	Режим
Команды / CA	Early Command Training; Command Voltage Centering; Early Command Voltage Centering; Late Command Training; CMD CTL CLK Slew Rate; CMD/CTL DS & E 2D; CMD/CTL Drive Strength Up/Dn 2D	Время, Vref, сила и фронты командно-адресного тракта.	Auto
Начальное чтение	**SenseAmp Offset Training; Early ReadMPR Timing Centering 2D; Read MPR Training; Receive Enable Training; Receive Enable Centering 1D**	Калибровка приемника, MPR и момента открытия тракта чтения; влияет на RTL.	**Auto; Receive Enable не отключать**
Запись	**Jedec Write Leveling; Early Write Time Centering 2D; Write Timing Centering 1D; Write Voltage Centering 1D; Write Timing Centering 2D; Write Voltage Centering 2D**	Выравнивание DQS к CK и центрирование write-eye (диапазона записи).	**Auto / штатное; JEDEC WL не отключать**
Чтение	**Early Read Time Centering 2D; Read Timing Centering 1D; Read Timing Centering with JR; Read Voltage Centering 1D; Read Timing Centering 2D; Read Voltage Centering 2D**	Одно- и двумерный поиск центра read-eye (диапазона чтения) по времени и Vref.	**Auto; Early Read Time 2D — Enabled для 8000+***
ODT / RON / drive	**Dimm ODT Training; Max RTT_WR; DIMM RON Training; Read ODT Training; DIMM CA ODT Training; Write Drive Strength/Equalization 2D; Write Slew Rate Training; Write Driver Strength Training; Write Drive Strength Up/Dn independently**	Терминация и drive strength (сила передатчиков) DIMM/ канала. Ручные Ω - в 5.9.	**Auto; Max RTT_WR - ODT OFF, 120 Ω только A/B**
Эквализация	Read Equalization Training; Read Amplifier Training	Коррекция потерь и искажений приемного тракта.	Auto
Компенсация	**Comp Optimization Training; TxDqTCO Comp Training; ClkTCO Comp Training; TxDqsTCO Comp Training; VccDLL Bypass Training; PanicVttDnLp Training; Read Vref Decap Training; Vddq Training**	PVT, задержки PHY, DLL и опорные уровни; не переносить между CPU/BIOS.	**Auto; Vddq: Auto → Disabled после фиксации напряжений***
DCC	Duty Cycle Correction Training; Periodic DCC; Tx Dqs Dcc Training	Коррекция коэффициента заполнения CK/DQS и его дрейфа.	Auto
RTL / переходы	**Round Trip Latency; Turn Around Timing Training**	Задержка полного пути чтения и интервалы RD↔WR; связаны с частотой, WTR, рангами и топологией.	**RTL - Enabled; TAT: Auto → Disabled после ручных turnaround***
Сигнал DDR5	DIMM DFE Training; EARLY DIMM DFE Training; DRAM EMPHASIS Training; DRAM DCA Training; DQS OFFSET ADJUST Training	DFE и DCA; реализация DRAM EMPHASIS и DQS OFFSET ADJUST в BIOS Apex не раскрыта.	Auto
Запас / проверка	Rank Margin Tool Per Bit; Rank Margin Tool; Memory Test; DIMM SPD Alias Test; Post Package Repair Training; Retrain Margin Check; Margin Check Limit; Margin Limit Check L2	Служебные проверки margin (запаса сигнала). Стабильность в ОС проверяют нагрузочными тестами.	Auto; RMT/Test - временно Enabled для диагностики
Не для этого руководства	LPDDR DqDqs Re-Training	Относится к LPDDR, а не к настольным DDR5 DIMM.	Не применяется

> * Для моей Z790 Apex Encore / BIOS 2202 / 2 x 24 ГБ DDR5-8200: Early Read Time 2D включаю на 8000+, TAT отключаю лишь после ручной фиксации turnaround/WTR, а Vddq Training - после фиксации CPU TX VDDQ и DRAM VDDQ и нескольких успешных обучений после холодного бута. На другой платформе исходно оставляем Auto. В BIOS 2202 используется имя Early Read Time Centering 2D; в части руководств - Timing.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790: руководство по BIOS, с. 32-34; меню Apex Encore BIOS 2202; мой разбор и проверенная схема профиля.

5.6 Training Algorithms на ASUS Z890

В меню Z890 доступно больше стадий PHY/MRC. Ниже — исходная схема по руководству ASUS с авторскими рекомендациями. Большинство этапов оставляю Auto; выбор при ручных таймингах указан в таблице и главе 06.

Группа	Строки BIOS (однотипные пункты сгруппированы)	Что обучает	Режим
Команды / CA	Early Command Training; CA ODT Optimization; Command Voltage Centering; Late Command Training; CMD CTL CLK Slew Rate; CMD/CTL Drive Strength; CMD/CTL Tx Equalization; DIMM CA ODT Training	Командно-адресный тракт, его терминация, сила и эквализация.	Auto
Начальное чтение	**SenseAmp Offset Training; Early ReadMPR Timing Centering 2D; Read MPR Training; Receive Enable Training**	Подготовка приемников и границ захвата данных по MPR.	**Auto; Receive Enable не отключать**
Запись	**Jedec Write Leveling; Early Write Time Centering 2D; Unmatched Write Time Centering 1D; Write Timing Centering 1D/2D; Write Voltage Centering 1D/2D**	Выравнивание и центровка записи; механизм Unmatched не раскрыт.	**Auto; JEDEC WL не отключать**
Чтение	**Early Read Time Centering 2D; Read Timing Centering 1D/2D; Read Voltage Centering 1D/2D; RxVref Per-Bit Training**	Центр read-eye (диапазона чтения) по времени/напряжению и RxVref Per-Bit Training.	**Auto; изменения Early Read Time 2D - только отдельный A/B**
ODT / RON	**DDR5 ODT Timing Config; Read DQS ODT Training; Read DQ ODT Training; Dimm ODT Training; DIMM RON Training**	DQ и DQS разделены; ручные сопротивления вводятся от обученной базы.	**Auto**
EQ / DFE	**Read Equalization Training; Read CTLE Training; DIMM DFE Training; Ddr5 Rx Cross-Talk Cancellation; Write Drive Strength; Write Equalization**	Коррекция частотных потерь, отражений и crosstalk (перекрестных помех).	**Auto; DFE не отключать без A/B**

Группа	Строки BIOS (однотипные пункты сгруппированы)	Что обучает	Режим
Компенсация	TxDqTCO Comp Training; ClkTCO Comp Training; Pre Training Comp Calibration; Comp Optimization; Ref PI Calibration; Rx SAL Calibration; VccClk FF Offset Correction; Data PI Linearity Calibration; Unmatched Rx Calibration; LVR Auto Trim	Фазы, задержки, PVT и питание PHY; не переносить между CPU/BIOS.	Auto
DCC	Duty Cycle Correction Training; Downstream; QCLK; Rise/Fall; Functional DCC for DDR5 DQS, CLK and Data DQ	Коррекция коэффициента заполнения разных трактов DDR5.	Auto
Карта / ранги	**DQ/DQS Swizzle Training; Write Rank-to-Rank Training; Read Rank-to-Rank Training; Turn Around Timing Training; Write DQ/DQS Retrain**	Карта линий, межранговые переходы и повторная настройка DQ/DQS.	**Auto; TAT Disabled при ручных таймингах**
Запас / защита	Rank Margin Tool; Rank Margin Tool Per Bit; Retrain Margin Check; Margin Check Limit; Margin Limit Check L2; Row Hammering Prevention; Post Package Repair	Проверка margin (запаса сигнала), решение о retrain (повторной тренировке) и защита данных. Нагрузочные тесты в ОС проводят отдельно.	Auto; margin-проверки только для диагностики
Служебные	**View Pin Calibration; Power Saving Meter Update; Read Vref Decap Training; Vddq Training; DIMM SPD Alias Test**	Служебные калибровки и проверки; внутренняя логика раскрыта не полностью.	**Auto; отключение Vddq Training - только отдельный A/B**
Не для DDR5 DIMM	Functional DCC for LP5 WCK; Duty Cycle Correction for LP5 DCA	Пункты LPDDR5 общего меню не относятся к UDIMM/CUDIMM.	Не применяется

> **ЧТО НЕЛЬЗЯ ПЕРЕНОСИТЬ С Z790 БУКВАЛЬНО**
>
> В E25061 нет отдельного Round Trip Latency. Если пункт появится в BIOS, фиксируем версию и проверяем отдельно. При ручных третичных таймингах оставляю TAT Disabled (§6.9). Vddq Training на Z890 исходно Auto; отключение по схеме Z790 проверяется отдельно. Универсальный Enabled для Early Read Time 2D на Z890 не заявляем.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z890: руководство по BIOS E25061, с. 29-32; фактическое меню конкретной прошивки имеет приоритет.

5.7 Тренировка RTL/IOL

ЧТО ТАКОЕ RTL НА DDR5

RTL - Round-Trip Latency, задержка полного пути чтения. В документации Intel для Alder Lake / Raptor Lake это интервал от команды READ до возвращения первых данных в контроллер памяти, выраженный в тактах QCLK. Обучение подбирает параметры приёма с учётом процессора, платы,

модулей и настроек. RTL описывает интервал от READ до возвращения первых данных в контроллер, CAS — от READ до начала выдачи данных DRAM. AIDA64 измеряет задержку доступа в своём тесте.

IOL - I/O Latency. На DDR4 - отдельная настройка задержки ввода-вывода. На DDR5 параметры приёма и их доступность зависят от платформы и BIOS; прежнюю связку RTL/IOL переносить сюда нельзя.

> **Условный пересчёт RTL во время**
>
> Пересчёт ниже применим, когда отображаемое значение RTL соответствует числу тактов QCLK и для выбранного режима подтверждено соотношение tQCLK = Gear × tCK. Формат вывода и масштабирование следует проверять для конкретной платформы и версии утилиты. Для ATC 4.1.7 на Apex Encore / Raptor Lake / BIOS 2202 соответствие не подтверждено: примеры условны.
>
> tCK = 2000 / S нс • tQCLK = G × tCK • tRTL = R × tQCLK
>
> S — эффективная скорость в MT/s: для DDR5-8200 подставляем 8200. Соответствующая тактовая частота памяти — 4100 МГц.
>
> G - коэффициент Gear (2 или 4), R - значение RTL в QCLK.
>
> Условно, 8200, Gear 2, RTL 65: tCK = 2000/8200 ≈ 0,244 нс; tQCLK = 2 × tCK ≈ 0,488 нс; tRTL = 65 × tQCLK ≈ 31,71 нс.

НА ЧТО ОРИЕНТИРОВАТЬСЯ

Главный ориентир - **повторяемость на своём стабильном профиле**. При одинаковых условиях настораживают рост RTL, новый разброс между соответствующими строками и скачки от бута к буту, особенно вместе с повторными POST, ошибками тестов или потерей производительности.

1. Создайте сопоставимые условия. Сохраните частоту, Gear, CAS, напряжения, BIOS и ME в профиле. Сравните несколько полных обучений в одном сценарии: ребут с MRC Fast Boot может использовать сохранённый результат.

2. Запишите результат каждого бута. Сравнивайте одинаковые используемые позиции контроллеров, субканалов и рангов. Отмечайте время бута и ошибки Karhu / y-cruncher; измеряйте производительность одним и тем же способом.

3. Меняйте один параметр. При плавающем результате проверьте меньшую частоту или более свободный CAS, затем отдельно - напряжения. Повторите обучение и тесты для проверки воспроизводимости.

ПОЧЕМУ РЕЗУЛЬТАТ МОЖЕТ МЕНЯТЬСЯ

Фактор	Что проверить
Частота и CAS	Высокая частота и жёсткие тайминги уменьшают запас устойчивости. Возврат к проверенному профилю помогает отделить предел разгона от случайного результата обучения.
Напряжения	Неподходящее напряжение памяти или контроллера, в том числе избыточное, может ухудшить стабильность. По RTL нельзя определить нужную линию питания или направление поправки.
BIOS и бут	Версия BIOS / ME, правила Auto и повторное использование результатов обучения могут менять условия сравнения. После смены BIOS сначала получите новую исходную серию бутов.

РУЧНОЕ СНИЖЕНИЕ RTL В BIOS

Для **EVGA DARK** в сообществе сообщалось о снижении RTL на 1-2, предположительно за счёт уменьшения CAS: блок RTL при этом тренировался в соответствии с выбранным CAS. У **ASUS Z790** документированы RTL Init / Max, знаковый Offset и поля рангов. Я проверял эти блоки и пришёл к выводу, что их корректно оставлять в Auto. Плата сама должна выполнять тренировку. Если результат нерабочий, это предмет диагностики (см. глоссарий). Для **Z690 Tachyon** есть сообщения о неработающем ручном вводе и рекомендации включать обучение RTL; для Z790 вывод не установлен.

ГЛАВНОЕ - ПРОВЕРКА ПОВЕДЕНИЯ

Прохождение POST не доказывает стабильность в ОС, а ошибки в ОС сами по себе не доказывают сбой обучения RTL. Универсального «правильного» RTL или допустимого разброса для всех DDR5 нет.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel RTL; Intel Gear; ASUS MRC; ASUS RTL; EVGA DARK / OC; Tachyon / HWBOT

ЭМПИРИЧЕСКАЯ ФОРМУЛА ANTA777

У **anta777** есть эмпирическая формула для оценки RTL. В неё подставляют эффективную скорость DDR5 в MT/s и CAS в тактах; результат используют как приблизительный ориентир.

X = S / 800 + tCL + 19

8200 @ tCL38: 67,25 • 8200 @ tCL36: 65,25 • 8400 @ tCL38: 67,5

Технически точная универсальная зависимость не подтверждена. Подгонять все строки утилиты под 65 / 66 не следует. Правило «RTLA округляется вниз, RTLB - вверх» нельзя считать универсальным: при дробной части менее 0,50 встречается и нижнее целое значение RTLB. Наблюдение относится к показаниям в этом случае; алгоритм округления BIOS по этим данным установить нельзя.

РАЗБОР КЕЙСА НА XTREEM: 8200 И 8400 MT/s

ASUS ROG Maximus Z790 Apex Encore, TEAMGROUP T-Force XTREEM 2 × 24 ГБ, Gear 2. Сравним показания ATC для трёх профилей: 8200 @ tCL38, 8200 @ tCL36 и 8400 @ tCL38.

Строка ATC	Контроллер и путь DDR5	8200 @ tCL38	8200 @ tCL36	8400 @ tCL38
MC0 C0 A1/A2	MC0, группа A, субканал C0	72/25	70/25	72/25
MC0 C1 A1/A2	MC0, группа A, субканал C1	67/25	65/25	67/25
MC1 C0 B1/B2	MC1, группа B, субканал C0	73/25	71/25	73/25
MC1 C1 B1/B2	MC1, группа B, субканал C1	67/25	65/25	67/25

Как читать строку. MC0 / MC1 - блоки контроллера; C0 / C1 - два 32-битных пути DDR5 внутри каждого блока. A1/A2 и B1/B2 - подписи групп позиций в ATC. На Apex Encore физически два слота.

Что означает 70/25. Слэш разделяет два показания RTL одной строки. 70 относится к используемой позиции; 25 во второй совпадает со значением сброса Intel 0x19. Для этого 1R-комплекта 25 согласуется с незадействованной позицией.

Связь с формулой. На 8200 C1 согласуется с нижним целым ориентира anta777: 67,25 → 67 при tCL38 и 65,25 → 65 при tCL36. На 8400 @ tCL38 формула даёт 67,5, но C1 остаётся 67; весь блок RTL совпадает с 8200 @ tCL38. C0 выше C1 на 5 / 6. Формула напрямую не описывает весь блок, а снимки не объясняют смещение и алгоритм округления.

Базовая проверка та же: несколько полных обучений, сравнение со стабильным профилем, тесты и одинаковые замеры производительности. **На моём профиле 8200 @ tCL36 также встречались RTL 64/65.** Один снимок не доказывает ни норму, ни ошибку. При подтверждённых условиях пересчёта из 5.7 (стр. 83) для 8200 MT/s и Gear 2 один QCLK ≈ 0,488 нс: разница 5-6 условно соответствует 2,44-2,93 нс. Масштаб ATC 4.1.7 на этой системе не подтверждён. Расчёт даёт длительность рассматриваемого интервала чтения. Общую задержку системы и запас стабильности оценивают отдельными измерениями и проверками.

Apex и другие знаковые 2-DIMM платы я рассматриваю как эталон корректной и быстрой тренировки RTL, на который ориентируюсь при сравнении с другими платами, прежде всего с 4-DIMM моделями.

ЧТО УЧЕСТЬ НА Z890

На Z890 / Core Ultra 200S используйте документацию и утилиту для этой платформы: названия полей, единицы и процедуры обучения могут отличаться. В ASUS BIOS есть **Training Consistency**, который может повысить повторяемость обучения, но не заменяет тесты. Числа и смещения Z790, включая ориентир anta777, нельзя автоматически принимать за цель для Z890.

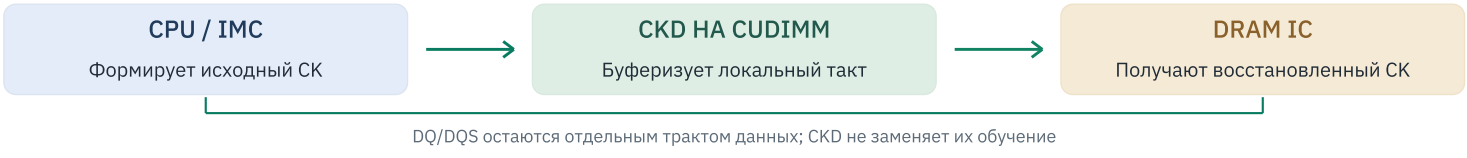
ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel RTL; ASRock Z790; anta777 / RTL; ASUS Z890

5.8 Особенности тренировки на Z890

Публичное меню точнее разделяет Read DQ/DQS ODT (терминацию чтения), показывает больше калибровок PHY и добавляет Training Consistency (повторяемость обучения) и семейство DIMM Fit. Отсутствие старого имени не доказывает удаление алгоритма: он мог быть объединен, переименован или скрыт внутри MRC.

Категория	Примеры	Как читать изменение
Сохранилось	MCH Full Check; Training Profile; Mrc Training Loop Count; инструменты margin	Принцип прежний; margin (запас сигнала) и результат зависят от нового IMC/PHY и BIOS.
Переименовано / разделено	MRC Fast Boot -> Fast Boot; Read ODT -> Read DQS ODT + Read DQ ODT	Сравнивать по функции, но не считать каждое имя прямым переносом 1:1.
Впервые вынесено наружу	CA ODT Optimization; CTLE; RxVref Per-Bit; crosstalk (перекрестные помехи); межранговые переходы; DCC	Больше точек наблюдения, но не стоит вручную переключать каждую из них.
Не видно отдельной строкой	RTL, Max RTT_WR, Write Slew Rate, Read Amplifier, TxDqsTCO, Memory Test и другие строки Z790	Они не перечислены в публичном руководстве Z890, но также могут применяться в MRC.

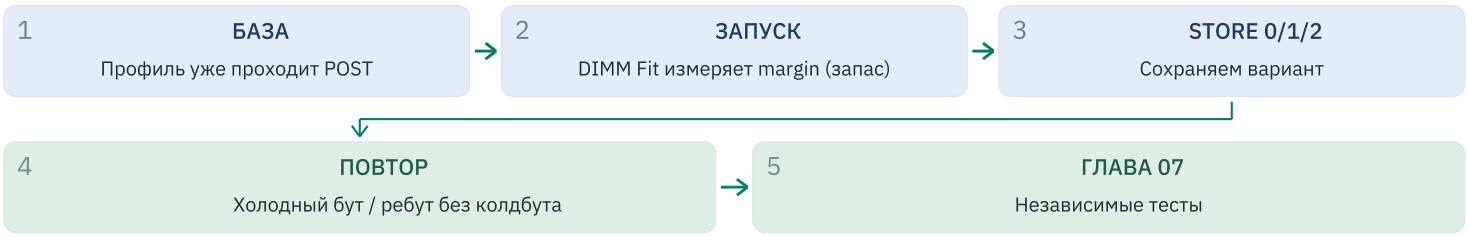
CUDIMM: CKD ВОССТАНАВЛИВАЕТ ТАКТ, MRC ОБУЧАЕТ ТРАКТ ДАННЫХ



РЕЖИМЫ CKD И AEMP III

Отдельный пункт CKD Training в публичном руководстве ASUS Z890 BIOS не указан. Single PLL, Dual PLL и Bypass (обход) определяют работу CKD с тактовым сигналом. Gear 2/Gear 4 задают соотношение частот контроллера и памяти, а MRC выполняет инициализацию и тренировку подсистемы памяти. AEMP III описан как двухступенчатая настройка: сначала clock driver (тактовый драйвер), затем частота памяти.

DIMM FIT: АВТОМАТИЧЕСКИЙ ПОИСК ОТ ЗАДАННОЙ ИСХОДНОЙ ТОЧКИ



Функция	Что доступно	Практическая оговорка
DIMM Fit	Store0 / Store1 / Store2 и удаление выбранного Store	Запускать от базы, которая проходит бут; результат ещё не подтверждён для повседневной работы.
DIMM Fit Pro	До 20 параметров с диапазонами; Fail to Next - досрочный переход к следующему параметру.	Критерий перехода - по руководству по BIOS. ASUS рекомендует 2 цикла; питание не отключать.
Training Consistency	Функция для повышения повторяемости результатов обучения	Только при разбросе результатов полного повторного обучения; исходно Auto.

ЧТО СОХРАНЯЕТ СМЫСЛ ПОСЛЕ АВТОМАТИЧЕСКОГО ПОДБОРА

DIMM Fit оптимизирует параметры только относительно текущей исходной точки. После смены частоты, Gear, напряжения, комплекта или режима CKD заново выполняем тренировку и тесты сохранённого варианта Store. CKD улучшает качество тактового сигнала на CUDIMM. Устойчивость чтения и записи также зависит от настроек Vref/ODT и температуры памяти. Достижимую частоту Z890 оценивают для всей конфигурации: CPU, платы, BIOS, модулей, режима CKD и Gear.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z890: руководство по BIOS и страница Apex; ASUS: ответы о DIMM Fit/Pro; Renesas RG5C172C CKD: техописание.

5.9 Сопротивления: ODT, RTT, RON

ODT — встроенная в кристалл терминация линии. RTT задаёт её эффективное сопротивление, RON — выходное сопротивление передатчика. Меньший RTT усиливает терминацию, а меньший RON позволяет передатчику отдавать больший ток при том же напряжении. Подбор сопротивлений помогает согласовать их работу и уменьшить отражения сигнала.

AUTO ДЛЯ ОБЫЧНОЙ НАСТРОЙКИ

Единого набора сопротивлений, корректного для всех конфигураций, нет. В таблице приведены настройки и наблюдения конкретных систем; их переносимость требует проверки.

Начинаем с Auto: BIOS/MRC выбирает значения по таблицам прошивки и результатам тренировки. Для обычной настройки памяти для большинства пользователей блок сопротивлений требуется оставлять в Auto. Ручной подбор полезен у предела разгона и при сбоях обучения; с 2R, 2DPC или слабым IMC он может понадобиться раньше.

НАЗНАЧЕНИЕ СОПРОТИВЛЕНИЙ

Параметр	Назначение	Варианты настройки	Проверка
RTT_WR	Терминация целевого ранга при записи	Соседний номинал после проверки Auto	Тесты памяти после нескольких полных тренировок
RTT_NOM_RD / WR	Терминация нецелевого ранга при чтении или записи другого ранга, когда контроллер задействует NT ODT	Меняем NOM RD и NOM WR по очереди; особенно полезно при 2R/2DPC	Чтение, запись и переходы между рангами
RTT_PARK / DQS	Терминация DQ/DQS припаркованного ранга	Меняем PARK и PARK DQS по очереди	Тесты памяти, холодный бут и ребут
DRAM RON	Выходной драйвер DRAM при чтении	Проверяем Pull-up и Pull-Down по отдельности	Чтение и повторяемость полного обучения
CA / CS / CK ODT	Терминация команд, выбора ранга и тактового сигнала	Пробуем Group A/B при повторяемых сбоях POST или обучения	Несколько холодных бутов с полной тренировкой

ОПУБЛИКОВАННЫЕ ПРИМЕРЫ

Частота в таблице описывает конкретный опыт. Нужно также сравнивать Gear, BIOS, память и методику теста/бенча. Номиналы сопротивлений указаны в омах.

Конфиг и дата	MT/s	Опубликованные настройки	Результат и ограничения
Z790 APEX; BIOS 1801; 02.2024	8400–8600	RON PU/PD: 40/34; 34/40. RTT и Groups — Auto.	Veii: совет для сравнения с Auto, с оговоркой о зависимости от PCB. Состав стенда и протокол проверки раскрыты частично.
Z790 APEX ENCORE; 02.2024	8533 CL36; VDD/VDDQ 1,63/1,47 В	RON PU/PD: MC00 48/40; MC01 40/48 — обозначения автора. Полный набор RTT требует уточнения.	tibcsi0407 сообщил об улучшении после подбора TX. Это серия опытов на одном стенде; 8600 остаётся следующей целью.
Z890 APEX; BIOS 3202; 285K; 2x16 (Hynix A-Die); 30.06.2026	8800 — подбор; 8600 CL40, G2; VDD/VDDQ 1,45/1,45 В	A1: RTT NOM RD 48. B1: RTT NOM RD 60, NOM WR 40, PARK DQS 120. Остальные показания BIOS — в таблице ниже.	UNIKO: после ODT — RunMemtestPro: 100% покрытия; VT3 — ошибка в 10-й итерации. Дальнейший результат получен после настройки напряжений.
Z890 APEX; BIOS 1901; 285K; 2x24 (Hynix M-Die); 29.07.2025	9600 CL48, G4; DRAM 1,45 В	RTT, ODT, RComp и тренировки — Auto, по сводке LAB501 от 21.10.2026.	LAB501: Prime95 LargeFFT с занятой памятью. Длительность прогона и повторяемость бутов требуют уточнения. На снимке DRAM 4800 МГц и контроллер 1200 МГц: Gear 4.
Z890 APEX; BIOS 1401; 285K; 2x24 (Hynix M-Die); 10.02.2025	10 133 CL46, G4; DRAM 1,50 В	RTT, ODT, RComp и тренировки — Auto. Точные показания полей требуют уточнения.	LAB501: сравнение Apex и Tachyon ICE. На снимке прежнего результата Apex — SuperPI 1M за 6,718 с; DRAM 5066,7 МГц и контроллер 1266,7 МГц (G4). Длительные тесты и повторяемость бутов для этого режима требуют отдельной проверки.
Z790-P WIFI; BIOS AD3; 13900KF; 2x32 (Hynix A-Die)	6800 CL32; VDD/VDDQ 1,40/1,40 В	DQ RTT: WR 34; NOM RD 40; NOM WR 40; PARK 34; PARK DQS 34. ODT Finetune — 2 (индекс настройки).	vintologi24: stressapptest — 1 ошибка за 8567,82 с (~2 ч 23 мин). После дальнейшей настройки автор сообщил о 13 ч разных тестов без ошибок. Позднее он отметил ошибку mprime Large FFT на близких настройках. RTT сохранились, менялись напряжения, тайминги и тренировки. Это история подбора на одном стенде.
Z790 APEX; BIOS 2002; 27.02.2024	8000 CL36, G2; VDD/VDDQ 1,50/1,47 В	В обоих блоках экспорта DQ RTT: WR 40; NOM RD 40; NOM WR 34; PARK 34; PARK DQS 34. Group B CA/CS/CK: 60/40/40. RON PU/PD: 48/40; 40/48 — в порядке экспорта. DIMM ODT, DIMM RON и Read ODT Training — Disabled.	zebra_hun, сообщения #13741 и #13751: TM5 проходил, VT3 давал ошибку примерно через 30 мин; до обновления BIOS — примерно через 10 мин. Автор выложил полный профиль. Это результат всей настройки с BIOS 2002; отдельный вклад сопротивлений в таком сравнении не выделен.
Z790 APEX ENCORE; 14900KS; 27.05.2024	8600 CL36; VDD/VDDQ 1,62/1,60 В	DQ RTT NOM RD 80; NOM WR 80. «RON ODT 48–40–40–48» — запись автора; привязка PU/PD к каналам требует уточнения. VDD/VDDQ 1,62/1,60 В; MC 1,45 В; TX 1,35 В.	elmariachi: остановился на 8600 CL36; температура памяти в TM5 достигала 37,5 °C с обдувом. При SA от 1,23 В система зависала в TM5; использовал 1,22 В. BIOS, ёмкость комплекта, остальные RTT, длительность и конфигурация TM5 требуют уточнения.

ЗНАЧЕНИЯ И ОБОЗНАЧЕНИЯ BIOS

Z790 Apex / Z790 Apex Encore: по руководствам ASUS доступны DQ RTT WR / NOM RD / NOM WR / PARK / PARK DQS — 34/40/48/60/80/120/240 Ω; DRAM RON Pull-up/Pull-Down — 34/40/48 Ω; CA/CS/CK ODT для Group A/B — 40/60/80/120/240/480 Ω.

В руководстве ASUS Z890 для RTT перечислены 34/40/48/60/80/120/240 Ω, для DRAM RON Pull-up/Pull-Down — 34/40/48 Ω. Это доступные номиналы меню. Auto оставляет выбор прошивке, Disabled отключает терминацию.

Group A/B — группы терминации микросхем на модуле; CHA/CHB — каналы платы. Их устройство описано у Micron. Пары PU/PD сверяем с полными названиями полей BIOS. DRAM RON относится к передатчику памяти; для драйверов CPU предусмотрены свои настройки.

На Z790 Max RTT_WR ограничивает выбор RTT_WR при Power Training. Ручной номинал задаётся в отдельном поле DQ RTT WR.

UNIKO: СКРИНШОТЫ BIOS

На снимках A1 и B1 видны четыре ручных значения и показания рядом с Auto. В ячейках ниже сначала указано число слева от поля, затем выбранная настройка. Sync Basic Dimm ODT mode — Enabled.

Поле	Channel 1 Slot A1: число / настройка	Channel 0 Slot B1: число / настройка
RTT WR	60 / Auto	60 / Auto
RTT NOM RD	48 / 48 Ω	60 / 60 Ω
RTT NOM WR	0 / Auto	40 / 40 Ω
RTT PARK	0 / Auto	0 / Auto
RTT PARK DQS	80 / Auto	120 / 120 Ω
Pull-up Output Driver Impedance	34 / Auto	34 / Auto
Pull-Down Output Driver Impedance	34 / Auto	34 / Auto

UNIKO: РЕЗУЛЬТАТЫ ПОДБОРА

В опыте UNIKO на 8600 после подбора ODT RunMemtestPro достиг 100% покрытия, а VT3 завершился ошибкой в 10-й итерации, примерно через 20 минут. После следующего этапа настройки напряжений VT3 завершился ошибкой в 16-й итерации. После настройки MC Voltage Calculation Voltage Base до 1,16 В автор сообщил о 30 циклах VT3, около часа. Это результат совместной настройки ODT и напряжений.

Стенд был открытым, память обдувалась вентилятором, комнатная температура по ходу работы менялась. Результат относится к этой конфигурации; повторяемость холодных бутов требует отдельной проверки.

CUDIMM И DIMM FIT

У CUDIMM за тактовый сигнал отвечает CKD — отдельная микросхема на модуле. В режимах Single PLL и Dual PLL она восстанавливает тактовый сигнал, в bypass передаёт его в обход PLL. CK ODT относится к терминации этого тактового тракта, а DQ RTT — к линиям данных.

ASUS DIMM Fit автоматически подбирает параметры памяти и сохраняет результат в Store. Версия Pro позволяет выбрать параметры и диапазоны поиска, включая напряжения. Поддержка этих функций зависит от платы и BIOS. Согласно пояснению ASUS, сообщение Completed Successfully означает завершение подбора; устойчивость профиля под нагрузкой отражают результаты отдельных тестов.

МЕТОДИКА СРАВНЕНИЯ РЕЗУЛЬТАТОВ

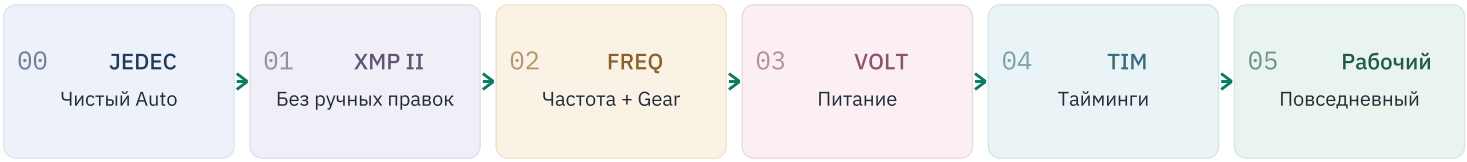
Сохраняем профиль Auto и показания BIOS, меняем один параметр, повторяем полную тренировку и одинаковые тесты. Затем возвращаем исходный профиль и сравниваем результат. В записи опыта указываем плату, CPU, комплект памяти, BIOS, Gear, напряжения, охлаждение и температуру. Для каждого теста записываем версию, настройки, время и ошибки, для бутов — число удачных попыток из общего количества. Полезно записывать улучшения, ухудшения и результат на уровне Auto.

5.10 Профили BIOS и восстановление

Сохраняйте рабочую ступень после каждого законченного этапа. Тогда неудачный тайминг или напряжение не заставит собирать профиль заново: можно быстро вернуться к последней воспроизводимой точке и проверить следующую гипотезу отдельно.

Смена частоты или Gear требует заново проверить диапазоны напряжений и повторяемость тренировки. При смене CPU, комплекта, объема, занятых слотов, версии BIOS либо типа UDIMM/CUDIMM безопаснее начинать от исходного профиля.

ЛЕСТНИЦА ПРОФИЛЕЙ: ОТКАТ ДОЛЖЕН ЗАНИМАТЬ СЕКУНДЫ



ПОРЯДОК ВОССТАНОВЛЕНИЯ ПОСЛЕ НЕУДАЧНОГО POST

Шаг	Восстановление	Что делаем	Что сохраняется
1	Подождать	Training (тренировка) DDR5 может занимать заметное время; оцениваем Q-Code и повторяемость	Весь профиль
2	ReTry	Повтор POST с теми же настройками	Весь профиль
3	Safe Boot	Безопасный запуск: временно загружаем щадящие параметры и исправляем ОС	Ручные поля
4	Рабочая ступень	Загружаем предыдущий профиль	Проверенная база
5	Clear CMOS	Сброс настроек, если BIOS недоступен; FlashBack (восстановление BIOS) - только при проблеме прошивки	Экспорт вне CMOS

СОХРАНЯЙТЕ ПРОМЕЖУТОЧНЫЕ ПРОФИЛИ

Сохраненные ступени помогают локализовать изменение и быстро откатиться. Критерии готового повседневного профиля, проверки холодных бутов и ребутов и связка нагрузок вынесены в раздел 7.9.

ХРАНИТЕ КОПИЮ ВНЕ CMOS

Экспортируйте профиль на USB и сохраняйте рядом снимки экрана измененных страниц, версию BIOS и краткое описание конфигурации. После обновления прошивки файл профиля может оказаться несовместимым, а снимки экрана останутся читаемыми.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Методика этой редакции; ASUS Apex Encore: руководство пользователя; Z790/Z890: BIOS. Связка тестов - глава 07.

06 / АЛГОРИТМЫ ТРЕНИРОВКИ

> **ДЛЯ ОБЫЧНОЙ НАСТРОЙКИ ПАМЯТИ**
>
> Цель этой главы — разобрать, как работают переключатели TRAINING ALGORITHMS. Для обычного пользователя практический ориентир простой: 98% этих настроек стоит оставить в **AUTO**. Менять их имеет смысл при конкретной проблеме обучения, когда вы понимаете, что проверяете.

Раздел ориентирован на Z790 Apex, Z790 Apex Encore, Z890 Apex и прочие платы ASUS. Названия настроек сверены с руководствами ASUS, а соответствующие программные значения — с Intel FSP.

Ниже приведены исходные настройки и варианты проверки при проблемах с обучением. **AUTO не всегда оставляет значение в ENABLED:** выбор остаётся за BIOS, а наличие пункта в меню ещё не означает, что он используется для DDR5. **DISABLED не закрепляет результат предыдущего обучения:** другие алгоритмы могут изменить те же параметры.

6.1 Командно-адресный тракт

Эти алгоритмы выравнивают командные и управляющие сигналы CMD/CTL относительно тактового сигнала CLK, подбирают пороги распознавания команд и настраивают электрические характеристики выходных драйверов.

Early Command Training — ECT

Что делает. Находит исходное рабочее положение командных и управляющих сигналов относительно CLK для следующих этапов.

Практический выбор. **AUTO**. При срыве полного обучения нового профиля отдельно проверить ENABLED.

Ключевой нюанс. Старая реализация обслуживает LPDDR. Конкретные проходы CA/CS для DDR5 на Z790/Z890 публично не подтверждены.

Command Voltage Centering — CMDVC

Что делает. Центрирует command Vref — порог распознавания команд.

Практический выбор. **AUTO**; ENABLED проверить при автоматическом command Vref и неповторяемом обучении. DISABLED — при воспроизводимо неудачной центровке либо ручном подборе того же Vref.

Ключевой нюанс. DDR5 имеет VrefCA и VrefCS; точный охват этапа BIOS не раскрыт.

Early Command Voltage Centering

Что делает. По названию — ранняя настройка command Vref; точная реализация и отличие от CMDVC не установлены.

Практический выбор. **AUTO**.

Ключевой нюанс. Пункт указан для Z790; в проверенном руководстве Z890 не перечислен.

Late Command Training — LCT

Что делает. Выполняет позднюю центровку CMD/CTL относительно CLK; в старом коде используются сложные командные шаблоны.

Практический выбор. **AUTO**; ENABLED — при ручном выборе этапов и автоматических командных задержках. DISABLED проверить, если именно поздняя доводка воспроизводимо ухудшает результат.

Ключевой нюанс. Early и Late дополняют друг друга.

CMD CTL CLK Slew Rate — CMDSR

Что делает. Подбирает Slew Rate (скорость изменения напряжения на фронтах сигнала) для командных, управляющих и тактовых линий по рабочему окну.

Практический выбор. **AUTO** при автоматических электрических настройках. DISABLED проверить при ручном подборе соответствующих Slew Rate либо повторяемом ухудшении после автоматического этапа.

CMD/CTL DS & E 2D — CMDDSEQ

Что делает. Совместно подбирает силу командного драйвера и эквализацию передатчика: Drive Strength × Tx Equalization.

Практический выбор. **AUTO**; DISABLED проверить при ручном подборе этих параметров, если этап мешает сохранить сочетание.

Ключевой нюанс. В Z890 указаны раздельные CMD/CTL Drive Strength — CMDDS и CMD/CTL Tx Equalization — CMDTXEQ.

CMD/CTL Drive Strength Up/Dn 2D — CMDDRUD

Что делает. Раздельно подбирает силу верхнего и нижнего плеч командных драйверов: pull-up × pull-down.

Практический выбор. **AUTO**; DISABLED проверить при ручном подборе именно командных Up/Dn либо воспроизводимо неудачном автоматическом результате.

Ключевой нюанс. В проверенном руководстве Z890 и интерфейсе Arrow Lake-S соответствующий пункт/флаг не найден.

6.2 Начальная настройка чтения

Эти этапы калибруют приёмники контроллера, находят исходную область правильного чтения и момент открытия приёмного окна. В BIOS сохранено название MPR. В DDR5 тренировочные шаблоны задаются специальными регистрами MR: предусмотрены последовательный, тактовый и LFSR-шаблоны (Linear Feedback Shift Register — регистр сдвига с линейной обратной связью).

SenseAmp Offset Training — SOT

Что делает. Калибрует собственное электрическое смещение входных приёмников DQ/DQS в процессоре, компенсируя разброс порогов распознавания.

Практический выбор. **AUTO**. При предельном разгоне и различающихся результатах повторного обучения отдельно проверить DISABLED; сохранять только при повторяемом улучшении бутов и тестов.

Early ReadMPR Timing Centering 2D — ERDMPRTC2D

Что делает. Ищет исходную область чтения по времени DQ/DQS и RxVref. Старый алгоритм центрирует время при разных RxVref по известному шаблону, не требуя работоспособной записи в обычную память.

Практический выбор. **AUTO**. ENABLED отдельно проверить при срыве или неповторяемом полном обучении.

Ключевой нюанс. Early Read Time Centering 2D использует обычный тестовый трафик.

Read MPR Training — RDMPRT

Что делает. Выравнивает чтение DQ относительно DQS по известному шаблону: находит временные границы рабочего окна и выбирает положение внутри него.

Практический выбор. **AUTO**; при ручном включении базовых этапов — ENABLED.

Receive Enable Training — RCVET

Что делает. Находит приход преамбулы DQS и задаёт момент открытия приёмного окна — DQS gating.

Практический выбор. **AUTO**; при ручном включении базовых этапов — ENABLED. Отключение — только диагностика конкретного воспроизводимого сбоя.

Receive Enable Centering 1D — RCVENC1D

Что делает. Дополнительно центрирует Receive Enable по временной оси.

Практический выбор. На Z790 Apex / Encore — **AUTO**.

Ключевой нюанс. Старое описание Coffee Lake содержит LPDDR Only. В руководстве Z890 и проверенном Arrow Lake-S IoT FSP пункт/флаг не найден.

> **КАК СРАВНИВАТЬ ПЕРЕКЛЮЧАТЕЛИ**
>
> Исходно — AUTO, где он доступен. На время сравнения отключаю MRC Fast Boot (в меню Z890 — Fast Boot внутри настроек памяти). Меняю один переключатель, выполняю несколько холодных бутов с полным обучением, проверяю частоту, весь объём памяти и устойчивость после разных обучений.

6.3 Тренировка записи

Эти алгоритмы согласуют строб записи DQS с тактовым сигналом CK, затем центрируют данные относительно DQS и подбирают порог VrefDQ на стороне DRAM.

Jedec Write Leveling — JWRL

Что делает. Выравнивает DQS относительно CK на стороне памяти, компенсируя различие задержек этих сигналов. Контроллер использует обратную связь от DRAM, чтобы выставить положение строба записи.

Практический выбор. **AUTO**; при ручном управлении базовыми этапами — ENABLED.

Ключевой нюанс. DDR5 также предусматривает компенсацию несовпадающих внутренних путей DQ/DQS.

Early Write Time Centering 2D — EWRTC2D

Что делает. Предварительно ищет рабочую область записи: выполняет временную центровку DQ/DQS при нескольких значениях DRAM VrefDQ и выбирает подходящую исходную точку.

Практический выбор. AUTO. ENABLED или DISABLED проверять по отдельности при проблемах полного обучения.

Ключевой нюанс. В изученном старом MRC этап разрешён только для DDR4. Поле в современном FSP не раскрывает условия выполнения для DDR5. В руководстве Z790 название содержит Timing вместо Time.

Write Timing Centering 1D — WRTC1D

Что делает. Находит окно записи и центрирует DQ относительно DQS по времени при текущем VrefDQ.

Практический выбор. AUTO, если доступно; в меню с двумя положениями ENABLED / DISABLED исходный выбор — ENABLED. При включении позднего 2D-прохода выбранный режим базовой центровки сохраняют.

Ключевой нюанс. В E21287 и E22758 для Z790 есть только ENABLED / DISABLED; в E25061 для Z890 есть AUTO.

Write Voltage Centering 1D — WRVC1D

Что делает. Центрирует VrefDQ — внутренний порог распознавания записываемых данных в DRAM — при текущем временном положении DQ/DQS.

Практический выбор. AUTO; при ручном включении базовых этапов — ENABLED. DISABLED проверять при воспроизводимо неудачной центровке либо ручном подборе этого же DRAM VrefDQ.

Ключевой нюанс. Даже при ручных VDD/VDDQ порог DRAM VrefDQ настраивают отдельно.

Write Timing Centering 2D — WRTC2D

Что делает. Уточняет положение DQ/DQS по времени, учитывая изменение рабочего окна при разных VrefDQ.

Практический выбор. AUTO. На пограничном разгоне и при разной устойчивости после повторных обучений отдельно проверить ENABLED. DISABLED сохранять только при воспроизводимом улучшении по сравнению с исходным режимом.

Ключевой нюанс. Референсный этап может включать per-bit deskew — раздельную компенсацию временного разброса отдельных битов.

Write Voltage Centering 2D — WRVC2D

Что делает. Измеряет границы рабочего окна по напряжению при нескольких временных смещениях DQ/DQS и по совокупности результатов уточняет VrefDQ.

Практический выбор. AUTO. ENABLED отдельно проверить при пограничной устойчивости после обучения. DISABLED — при доказанно неудачной центровке либо ручной настройке того же VrefDQ.

> Z890: Unmatched Write Time Centering 1D — отдельный пункт с флагом UNMATCHEDWRTC1D; разбор — §6.12.

6.4 Тренировка чтения

Эти алгоритмы подбирают момент считывания DQ относительно DQS и порог RxVref в приёмном тракте контроллера памяти. В отличие от записи, настраивается сторона процессора.

Early Read Time Centering 2D — ERDTC2D

Что делает. Предварительно ищет рабочую точку чтения по времени DQ/DQS и RxVref; в референсном коде проверяет её обычным тестовым трафиком.

Практический выбор. **AUTO**. ENABLED / DISABLED сравнивать отдельно при проблемах полного обучения.

Ключевой нюанс. В изученном старом MRC ERDTC2D ограничен DDR4; условия современной реализации для DDR5 не раскрыты. В руководстве Z790 используется написание Early Read Timing Centering 2D.

Read Timing Centering 1D — RDTC1D

Что делает. Находит временные границы приёма данных и центрирует момент считывания DQ относительно DQS на стороне контроллера при текущем RxVref.

Практический выбор. **AUTO**; при ручном управлении базовыми этапами — ENABLED. При включении RDTC2D сохраняют выбранный режим RDTC1D: базовая и последующая центровка могут выполняться друг за другом.

Read Timing Centering with JR

Что делает. Отдельный вариант временной центровки чтения в меню Z790. Отличие от RDTC1D не установлено.

Практический выбор. **AUTO**.

Ключевой нюанс. Расшифровка JR не подтверждена. В проверенном руководстве Z890 этот пункт не перечислен.

Read Voltage Centering 1D — RDVC1D

Что делает. Центрирует RxVref — порог распознавания данных в контроллере памяти — при текущем временном положении DQ/DQS.

Практический выбор. **AUTO**; при автоматическом RxVref и ручном управлении базовыми этапами — ENABLED. DISABLED проверять при неудачном результате либо ручном подборе RxVref, если вмешательство этого прохода подтверждено сравнением.

Ключевой нюанс. Даже при ручных VDDQ или SA порог RxVref настраивают отдельно.

Read Timing Centering 2D — RDTC2D

Что делает. Уточняет момент считывания данных с учётом формы рабочего окна при разных RxVref.

Практический выбор. **AUTO**. При пограничном разгоне и неодинаковой устойчивости после повторных обучений отдельно проверить ENABLED. DISABLED сохранять только при воспроизводимом улучшении.

Ключевой нюанс. В референсном этапе возможен per-bit deskew — отдельная компенсация временного разброса битов.

Read Voltage Centering 2D — RDVC2D

Что делает. Уточняет RxVref по границам рабочего окна по напряжению, измеренным при нескольких временных смещениях DQ/DQS.

Практический выбор. **AUTO**. ENABLED отдельно проверить при неповторяемом результате обучения и автоматическом RxVref. DISABLED — при подтверждённо неудачной центровке либо ручном подборе того же порога.

> Z890: RxVref Per-Bit Training — отдельный пункт с флагом RXVREFPERBIT; разбор — §6.12.

6.5 Терминация и передатчики

ODT согласует линии терминацией, RON и Drive Strength задают выходное сопротивление и силу передатчиков. Slew Rate (скорость изменения напряжения на фронтах сигнала) и эквализация меняют форму сигнала.

Dimm ODT Training — DIMMODTT

Что делает. Подбирает терминацию DRAM по запасам чтения и записи. Полный набор перебираемых DDR5 RTT конкретного BIOS не раскрыт. При DISABLED пропускается этот этап подбора; сама терминация продолжает работать.

Практический выбор. **AUTO** при автоматических RTT. ENABLED проверить при неповторяемом обучении; DISABLED — если этап переопределяет вручную подобранные RTT или ухудшает результат.

Max RTT_WR

Что делает. Задаёт верхнюю границу RTT_WR для автоматического подбора в power training. Варианты: ODT OFF и 120 Ohms. Итоговое RTT_WR выбирается в ходе обучения с учётом этой границы.

Практический выбор. **ШТАТНОЕ ЗНАЧЕНИЕ BIOS**. 120 Ω проверять отдельно. ODT OFF здесь задаёт предел поиска RTT_WR; терминация DIMM в целом остаётся в работе.

DIMM RON Training — DIMMRONT

Что делает. Подбирает выходное сопротивление драйвера DRAM при чтении: память → CPU. RON относится к передатчику, RTT — к терминации.

Практический выбор. **AUTO**. DISABLED проверить при ручном DRAM Output Driver Impedance и вмешательстве обучения. Если меняются только RTT или CPU Write Drive Strength, режим DIMM RON Training можно оставить прежним.

Read ODT Training — RDODTT

Что делает. Подбирает терминацию приёмника CPU при чтении. DIMM RTT_NOM_RD задаёт терминацию на стороне памяти и настраивается отдельно. В Z890 обучение терминации приёмника CPU разделено на Read DQ ODT Training и Read DQS ODT Training.

Практический выбор. **AUTO**. DISABLED проверить для вручную настроенной CPU Read ODT, если этап меняет результат, либо при повторяемо неудачном подборе. В Z890 сравнивать DQ и DQS отдельно.

DIMM CA ODT Training — DIMMODTCA

Что делает. Подбирает терминацию командно-адресных линий на стороне DRAM. Старый код обслуживает LPDDR4; охват DDR5 CA/CS/CK не раскрыт. CA ODT Optimization в Z890 указан отдельно.

Практический выбор. **AUTO**. DISABLED проверить при ручном CA ODT и вмешательстве этого этапа.

Write Drive Strength/Equalization 2D — WRDSEQT

Что делает. Совместно подбирает силу драйвера CPU и эквализацию записи: CPU → DRAM. Координаты — Drive Strength × Tx Equalization.

Практический выбор. **AUTO**; ENABLED проверить при неповторяемом обучении. DISABLED — при ручном подборе этих параметров и вмешательстве этапа. В Z890 отдельно указаны Write Drive Strength и Write Equalization.

Write Slew Rate Training — WRSRT

Что делает. Подбирает скорость фронтов записи CPU.

Практический выбор. **AUTO**. DISABLED проверить при ручном Write Slew Rate или ухудшении после прохода.

Write Driver Strength Training — WRDS

Что делает. Отдельно обучает силу драйвера записи CPU. Порядок и взаимодействие WRDS и WRDSEQT в BIOS не раскрыты.

Практический выбор. **AUTO**. DISABLED проверить, если обучение переопределяет ручной CPU Write Drive Strength. В Z890 соответствующее по названию поле — Write Drive Strength.

Write Drive Strength Up/Dn independently — WRDSUDT

Что делает. Раздельно подбирает параметры верхнего и нижнего плеч драйвера записи CPU: pull-up и pull-down. Параметр DIMM Pull-up / Pull-down Output Driver Impedance относится к драйверу на модуле памяти.

Практический выбор. **AUTO**. DISABLED проверить при ручных CPU Drive Up/Dn либо неудачном обучении.

> В проверенном руководстве Z890 Max RTT_WR, Write Slew Rate Training и Write Drive Strength Up/Dn independently не перечислены.

6.6 Эквализация приёмника

Эти алгоритмы настраивают приёмник CPU при чтении из DRAM. Эквалайзер компенсирует искажения входного сигнала, обучение усилителя выбирает рабочий режим аналоговой части.

Read Equalization Training — RDEQT

Что делает. Подбирает параметры эквалайзера приёмника CPU по запасам чтения во времени и по напряжению. В старом MRC набор настроек зависит от режима приёмника: встречаются CTLE и DFE.

Практический выбор. **AUTO**. ENABLED отдельно проверить при пограничном разгоне и разных результатах обучений. DISABLED — при неудачном автоматическом подборе либо ручной настройке соответствующей эквализации.

Ключевой нюанс. В Z890 Read CTLE Training указан отдельно от Read Equalization Training.

Read Amplifier Training — RDAPT

Что делает. В старом коде подбирает ток смещения (bias) или нагрузку аналоговой части приёмника CPU в зависимости от режима. Учитывает запас чтения и, в соответствующем режиме, энергопотребление.

Практический выбор. **AUTO**. При предельном разгоне отдельно проверить DISABLED, если есть воспроизводимые признаки неудачного подбора режима приёмника. ENABLED разрешает подбор режима работающего усилителя.

Ключевой нюанс. В проверенном руководстве Z890 этот пункт не перечислен.

6.7 Калибровка PHY

Эти алгоритмы настраивают компенсационные коды, внутренние задержки передатчиков, питание и опорные цепи физического интерфейса памяти CPU.

Comp Optimization Training

Что делает. В старом MRC переносит общую часть поправок байтовых групп в глобальную компенсацию, уменьшая локальные смещения и стремясь сохранить суммарный результат. Обрабатывает Write Drive Strength, Read ODT, в отдельных ветках — также Slew Rate.

Практический выбор. **AUTO**. DISABLED проверить при проблеме этапа или исследовании ручных компенсационных смещений. При ручных RTT или Drive Strength этот этап можно оставить включённым. Аппаратная компенсация работает и при отключённом обучении.

Ключевой нюанс. В Z890 отдельно указаны Comp Optimization и Pre Training Comp Calibration.

TxDqTCO Comp Training — TXTCO

Что делает. Подбирает компенсацию задержки выходного тракта DQ при записи: CPU → DRAM. В старом MRC оценивается окно записи.

Практический выбор. **AUTO**; ENABLED отдельно проверить при неповторяемом обучении, DISABLED — при воспроизводимом ухудшении от этапа.

ClkTCO Comp Training — CLKTCO

Что делает. Подбирает компенсацию задержки выходного тактового тракта CLK. Старый код оценивает командное окно и обновляет также TCO-коды CMD/CTL; точный охват современного этапа не раскрыт.

Практический выбор. **AUTO**. ENABLED можно проверить при пограничном обучении.

TxDqsTCO Comp Training — TXTCODQS

Что делает. Подбирает компенсацию задержки выходного строба записи DQS на стороне CPU.

Практический выбор. **AUTO**, если пункт доступен. DISABLED проверить только при конкретном ухудшении. В проверенном руководстве Z890 отдельный пункт не перечислен.

VccDLL Bypass Training — VCCDLLBP

Что делает. ENABLED разрешает проверку обходного режима питания VccDLL от VccIOG. Переход в Bypass зависит от результата проверки; DLL продолжает работать.

Практический выбор. **AUTO**. DISABLED — диагностический вариант при проблеме этапа. В проверенном руководстве Z890 пункт не перечислен.

PanicVttDnLp Training — PVTTDNLP

Что делает. В старом MRC подбирает VttPanicCompDnLPMult для pull-down-ветви быстрой коррекции VTT, только для LPDDR с терминацией VTT.

Практический выбор. **AUTO**. В проверенном руководстве Z890 пункт не перечислен.

Read Vref Decap Training — RDVREFDC

Что делает. Подбирает программируемые развязывающие ёмкости RxVref в приёмнике CPU. В старом коде затем предусмотрена повторная центровка RxVref.

Практический выбор. **AUTO**; ENABLED проверить при неповторяемом обучении чтения, DISABLED — при ухудшении от прохода.

Vddq Training — VDDQT

Что делает. Старый, частично незавершённый MRC описывает подбор CPU TX VDDQ через FIVR по командным и записывающим запасам, только для LPDDR4/5. Роль этого этапа в управлении DRAM VDDQ через PMIC остаётся неизвестной.

Практический выбор. **AUTO**. При ручном CPU TX VDDQ отдельно проверить DISABLED, если подозревается вмешательство прохода. Если вручную задан только DRAM VDDQ, исходный режим этого этапа можно сохранить. Мой пример §5.5 относится только к указанной конфигурации.

6.8 Коррекция коэфф. заполнения (DCC)

Коэффициент заполнения показывает, какую часть периода сигнал находится на высоком уровне. DCC выравнивает длительности высокого и низкого уровней, обычно к 50/50.

Duty Cycle Correction Training — DCC

Что делает. Калибрует коррекцию длительностей высокого и низкого уровней сигнала в интерфейсе памяти CPU.

Практический выбор. **AUTO**. При явном управлении этапами исходно ENABLED; DISABLED проверять при воспроизводимой проблеме обучения.

Ключевой нюанс. Точный охват общего переключателя Apex не раскрыт. В Z890 отдельно перечислены Downstream, QCLK Calibration, Rise/Fall и Functional DCC для DDR5 DQS, DDR5 CLK и Data DQ.

Periodic DCC

Что делает. Разрешает периодическое обновление коррекции duty cycle (коэффициента заполнения) после начальной калибровки. Интервал и условия выполнения на DDR5 Apex не опубликованы.

Практический выбор. **AUTO**. При явном выборе DISABLED — исходный вариант для сравнения; ENABLED проверять отдельно, включая длительную работу и переходы между простоем и нагрузкой.

Ключевой нюанс. Пункт есть в руководстве Z790 E22758; в более раннем E21287 и в руководстве Z890 E25061 не перечислен.

Tx Dqs Dcc Training — TXDQSDCC

Что делает. Настраивает коррекцию коэффициента заполнения выходного строба записи DQS на стороне CPU, для передачи CPU → DRAM.

Практический выбор. **AUTO**; при явном выборе исходно ENABLED. DISABLED проверять при воспроизводимом ухудшении после этого этапа.

Ключевой нюанс. В E25061 отдельный пункт не перечислен; связь с Functional DCC for DDR5 DQS не подтверждена.

6.9 Задержки чтения и переключения

RTL определяет момент возвращения прочитанных данных в контроллер, TAT — интервалы между операциями на шине.

Round Trip Latency — RTL

Что делает. Оптимизирует задержку возврата данных после команды чтения. В старом Ice Lake MRC RTL подбирается вместе с задержками приёмного FIFO, с проверкой окна чтения и запасом.

Практический выбор. **ENABLED**. При ручной настройке памяти всегда оставляю этот этап включённым.

Ключевой нюанс. Исходные RTL рассчитываются уже при Receive Enable Training; отдельный проход их оптимизирует. В E25061 RTL не перечислен. Неизвестно, заменяют ли RTL пункты Read/Write Rank-to-Rank Training.

Turn Around Timing Training — TAT

Что делает. Подбирает интервалы чтение → чтение, чтение → запись, запись → чтение и запись → запись, включая смену ранга. Старый MRC оптимизирует соответствующие варианты tRDRD, tRDWR, tWRRD и tWRWR, а также момент включения и длительность ODT приёмника CPU.

Практический выбор. **DISABLED**. Память и третичные тайминги настраиваю вручную, поэтому автоматический подбор отключаю.

Ключевой нюанс. Старый MRC настраивает ODT и при одном ранге. В Z890 TAT сохранён.

6.10 Настройка сигнала на стороне DRAM

DFE настраивает приём данных внутри DRAM при записи, DCA — форму выходных сигналов при чтении.

DIMM DFE Training — DIMMDFE

Что делает. Обучает Decision Feedback Equalization в приёмнике DRAM при записи: CPU → память. DFE учитывает предыдущие биты и компенсирует их влияние на распознавание текущего.

Практический выбор. **AUTO**. При явном управлении этапами исходно ENABLED; DISABLED проверить при воспроизводимо неудачном обучении либо ручной настройке DIMM DFE.

Ключевой нюанс. Аппаратный DFE может работать и при отключённом обучении.

EARLY DIMM DFE Training — EARLYDIMMDFE

Что делает. Отдельный ранний проход настройки DFE DRAM. Точный порядок поиска и взаимодействие с основным DIMM DFE в BIOS Apex не раскрыты. Неизвестно, может ли один проход заменить другой.

Практический выбор. **AUTO**. ENABLED и DISABLED сравнивать отдельно при конкретной проблеме обучения.

DRAM EMPHASIS Training — DRAMEMPHASIS

Что делает. Назначение переключателя для DDR5 в BIOS Apex не раскрыто.

Практический выбор. **AUTO**.

DRAM DCA Training — DRAMDCA

Что делает. Обучает Duty Cycle Adjuster внутри DRAM: корректирует длительности высокого и низкого уровней выходных DQ/DQS при чтении, память → CPU. Цель — уменьшить искажение коэффициента заполнения, приблизив соотношение этих длительностей к 50/50.

Практический выбор. **AUTO**. При явном управлении этапами исходно ENABLED; DISABLED проверить при воспроизводимом ухудшении обучения.

DQS OFFSET ADJUST Training — DQSOFFSETADJUST

Что делает. Реализация прохода в BIOS Apex не раскрыта. DDR5 предусматривает Read DQS Offset Timing через MR40: строб DQS начинает передачу раньше относительно DQ. Связь этого переключателя с MR40 не подтверждена.

Практический выбор. **AUTO**. ENABLED/DISABLED сравнивать отдельно при конкретной проблеме обучения.

Ключевой нюанс. По документации DRAM, при изменении MR40 момент передачи данных и Read Latency остаются прежними.

> Z890: в E25061 отдельно указан DIMM DFE Training; остальные четыре пункта этого блока не перечислены. Duty Cycle Correction for LP5 DCA рассчитан на LPDDR5. Подтверждений, что он может заменить DRAM DCA при настройке DDR5, нет.

6.11 Проверка и восстановление DRAM

Запас — расстояние от рабочей точки до границы ошибок по времени или Vref. Эти пункты отвечают за измерения, проверки обучения и адресации, повторное обучение и ремонт DRAM. Проверку профиля под нагрузкой выполняют отдельно.

Rank Margin Tool Per Bit — RMTBIT

Что делает. Измеряет запас отдельных битов DQ по времени и порогу приёма. В старом MRC запускается отдельным флагом без проверки флага RMT; зависимость в современных ASUS BIOS не раскрыта.

Практический выбор. **AUTO** либо DISABLED, если результаты не используются; ENABLED — для диагностики с доступом к данным.

Rank Margin Tool — RMT

Что делает. Оценивает запас по времени и Vref для чтения, записи и команд. Позволяет сравнивать обученные состояния.

Практический выбор. **AUTO** либо DISABLED для обычной работы; ENABLED — если есть чем прочитать результаты. Экспорт через BDAT включается отдельно. Отчёт при этом может оставаться недоступным в интерфейсе BIOS.

Memory Test — MEMTST

Что делает. Проверяет память при инициализации; охват и шаблоны ASUS не раскрыты.

Практический выбор. **AUTO**; ENABLED — при диагностике бута. В E25061 для Z890 отдельный пункт не указан.

DIMM SPD Alias Test — ALIASCHK

Что делает. Предназначен для выявления наложения адресов DRAM при неверно описанной организации модуля. В старом коде сверяет геометрию и ёмкость по SPD; физический адресный тест не завершён.

Практический выбор. **AUTO** или ENABLED. DISABLED имеет смысл только при подтверждённом ложном срабатывании.

Post Package Repair Training — PPR

Что делает. Разрешает замену дефектных строк DRAM резервными: Soft PPR — временный ремонт, Hard PPR — постоянный, сохраняющийся после отключения питания.

Практический выбор. Для обычного разгона принудительно не включать; при ручном управлении исходно **DISABLED**. К Hard PPR не переходить из-за ошибок, которые возникают только при разгоне.

Ключевой нюанс. Тип ремонта и условия запуска могут задаваться отдельно. Для ASUS тип ремонта не установлен; в меню Z890 название без Training.

Retrain Margin Check — RMC

Что делает. В старом MRC проверяет запасы чтения, записи и команд; при недостаточном запасе повышает пороги оптимизаций и запрашивает повторное обучение в текущей инициализации. Выполнение зависит и от режима power training.

Практический выбор. **AUTO**. ENABLED — для проверки неповторяемого обучения; DISABLED — при проблеме самой проверки.

Margin Check Limit

Что делает. Выбирает проверку запаса для решения о повторном обучении при следующем буте: DISABLED, L1, L2, BOTH.

Практический выбор. **ШТАТНОЕ ЗНАЧЕНИЕ**. Для диагностики начать с L1; L2 и BOTH проверять с учётом коэффициента масштабирования порога L2.

Margin Limit Check L2

Что делает. Задаёт порог: L2 = L1 × значение / 100. Пункт доступен при L2 или BOTH.

Практический выбор. **ШТАТНОЕ ЗНАЧЕНИЕ**; для сравнения — 100.

Ключевой нюанс. Большее значение задаёт более строгий порог проверки. Диапазон 1–300 указан для Z790; в руководстве Z890 границы не приведены.

6.12 Доп. алгоритмы Z890 Apex

В меню Z890 появились дополнительные этапы обучения и отдельные переключатели для части прежних функций. Здесь собраны отличия от Z790 по руководствам ASUS для Apex. Исходный выбор — AUTO; порядок сравнения настроек приведён в §6.2.

CA ODT Optimization

Что делает. Отдельная оптимизация терминации командно-адресных линий. В меню сохранён и DIMM CA ODT Training; разделение задач этих двух этапов ASUS не описывает.

Практический выбор. **AUTO**. При ручном поиске менять эти два пункта раздельно.

Unmatched Write Time Centering 1D — UNMATCHEDWRTC1D

Что делает. Отдельный одномерный этап выравнивания записи для Unmatched-пути. Его отличие от обычного Write Timing Centering 1D в открытом интерфейсе Intel не раскрыто.

Практический выбор. **AUTO**.

RxVref Per-Bit Training — RXVREFPERBIT

Что делает. Подбирает порог распознавания входного сигнала отдельно для битов данных на стороне приёмника CPU.

Практический выбор. **AUTO**.

DDR5 ODT Timing Config — DDR5ODTTIMING

Что делает. Отдельный этап настройки времени работы ODT DDR5: когда терминация включается и выключается относительно передачи данных.

Практический выбор. **AUTO**. ENABLED и DISABLED сравнивать по отдельности при воспроизводимой проблеме полного обучения.

Read CTLE Training — RDCTLET

Что делает. Настраивает линейный эквалайзер приёмника CPU. CTLE корректирует частотную характеристику входного тракта, уменьшая искажения сигнала при чтении.

Практический выбор. **AUTO**.

Ddr5 Rx Cross-Talk Cancellation — DDR5XTALK

Что делает. Управляет компенсацией перекрёстных помех в приёмном тракте DDR5: соседние линии могут наводить помеху на принимаемый сигнал.

Практический выбор. **AUTO**.

Unmatched Rx Calibration — RXUNMATCHEDCAL

Что делает. Калибрует приёмный тракт Unmatched. Его устройство и регулируемые величины в руководствах ASUS и открытом интерфейсе FSP не раскрыты.

Практический выбор. **AUTO**.

DQ/DQS Swizzle Training — DQDQSSWZ

Что делает. Настраивает соответствие логических линий DQ/DQS их физической разводке с учётом перестановок линий.

Практический выбор. **AUTO**.

Write DQ/DQS Retrain — WRTRETRAIN

Что делает. Управляет отдельным этапом повторной настройки взаимного положения DQ и DQS при записи. В старом MRC такой механизм описан для LPDDR; реализация для DDR5 в Z890 не раскрыта.

Практический выбор. **AUTO**.

Эти этапы калибруют внутренние узлы физического интерфейса памяти: компенсацию, фазовые интерполяторы, приёмники и линейные регуляторы напряжения.

Pre Training Comp Calibration — DDRPRECOMP

Что делает. Выполняет предварительную калибровку компенсации перед основными этапами обучения. В Z890 вынесена отдельно от последующей Comp Optimization.

Практический выбор. **AUTO**.

Ref PI Calibration — REFPI

Что делает. Калибрует опорный узел фазового интерполятора. PI формирует нужное положение фронта между доступными фазами тактового сигнала.

Практический выбор. **AUTO**.

Data PI Linearity Calibration — DATAPILIN

Что делает. Калибрует линейность фазовых интерполяторов тракта данных: одинаковым шагам управляющего кода должны соответствовать равномерные сдвиги фазы.

Практический выбор. **AUTO**.

Rx SAL Calibration — RXSALCAL

Что делает. Отдельная калибровка приёмника. Назначение узла SAL и регулируемые величины в руководствах ASUS и открытом FSP не описаны.

Практический выбор. **AUTO**.

VccClk FF Offset Correction — VCCCLKFF

Что делает. Корректирует смещение внутреннего узла VccClk FF. Расшифровка FF и связь с конкретным полем напряжения BIOS в изученных источниках не установлены.

Практический выбор. **AUTO**.

LVR Auto Trim — LVRAUTOTRIM

Что делает. Автоматически подстраивает внутренние линейные регуляторы напряжения PHY. В архитектуре Meteor Lake/Arrow Lake LVR питают внутренние узлы интерфейса памяти CPU.

Практический выбор. **AUTO**.

View Pin Calibration — VIEWPINCAL

Что делает. Служебная калибровка View Pin. Назначение узла и его связь с настройкой DDR5 в открытых руководствах не объяснены.

Практический выбор. **AUTO**.

Power Saving Meter Update — PWRMETER

Что делает. Обновляет служебную оценку экономии энергии. В старом MRC расчёт сравнивает состояние до и после оптимизации и передаёт результат контроллеру питания.

Практический выбор. **AUTO**.

В Z890 коррекция DCC разделена по узлам и сигналам. Отдельные пункты отвечают за обучение чтения и записи при работе с разными рангами и защиту от Rowhammer.

Duty Cycle Correction Downstream Training — DCCDOWNSTREAM

Что делает. Корректирует коэффициент заполнения в последующих узлах тактового тракта. Intel указывает область PI Serializer/LUT — сериализатор фазового интерполятора и его таблицу настроек.

Практический выбор. **AUTO**.

Duty Cycle Correction QCLK Calibration — DCCQCLK

Что делает. Калибрует коэффициент заполнения внутреннего тактового сигнала QCLK.

Практический выбор. **AUTO**.

Duty Cycle Correction Rise/Fall Training — DCCRISEFALL

Что делает. Выполняет отдельную коррекцию по нарастающим и спадающим фронтам, выравнивая длительности высокого и низкого уровней сигнала.

Практический выбор. **AUTO**.

Functional Duty Cycle Correction for DDR5 DQS — FUNCDCCDQS

Что делает. Выполняет функциональную коррекцию коэффициента заполнения для строба DDR5 DQS. Связь с прежним Tx Dqs Dcc Training не подтверждена.

Практический выбор. **AUTO**.

Functional Duty Cycle Correction for DDR5 CLK — FUNCDCCCLK

Что делает. Выполняет функциональную коррекцию коэффициента заполнения для тактового сигнала DDR5 CLK.

Практический выбор. **AUTO**.

Functional Duty Cycle Correction for Data DQ — FUNCDCCDQ

Что делает. Выполняет функциональную коррекцию коэффициента заполнения для линий данных DQ.

Практический выбор. **AUTO**.

Write Rank-to-Rank Training — TXRK2RK

Что делает. Отдельное обучение записи при работе с разными рангами. Подбираемые задержки в открытом FSP не перечислены; Turn Around Timing Training сохранён самостоятельным пунктом.

Практический выбор. **AUTO**.

Read Rank-to-Rank Training — RXRK2RK

Что делает. Отдельное обучение чтения при работе с разными рангами. Подбираемые задержки в открытом FSP не перечислены.

Практический выбор. **AUTO**. Рекомендации для RTL с Z790 сюда не переносить: связь этапов не подтверждена.

Row Hammering Prevention — ROWHAMMER

Что делает. Управляет защитой от ошибок соседних строк DRAM при многократной активации одних и тех же строк. В меню обучения Z890 это отдельный пункт; сама защита существовала и на прежних платформах.

Практический выбор. **AUTO**. Отключение ради разгона не рекомендую: оно затрагивает защиту данных. Конкретный механизм, выбираемый ASUS, не раскрыт.

ДЛЯ ОБЫЧНОЙ НАСТРОЙКИ ПАМЯТИ

Цель этой главы — разобрать, как работают переключатели TRAINING ALGORITHMS. Для обычного пользователя практический ориентир простой: 98% этих настроек стоит оставить в **AUTO**. Менять их имеет смысл при конкретной проблеме обучения, когда вы понимаете, что проверяете.

Источники главы

1. ASUS Z790 2023
2. ASUS Z890
3. FSP Raptor Lake-S
4. FSP ARL-S IoT
5. MRC: команды
6. MRC: драйверы
7. MRC: приёмники
8. MRC: чтение
9. CFL: LPDDR Only
10. Micron DDR5
11. MRC: запись
12. MRC: общие
13. MRC: Receive Enable
14. MRC: WL
15. MRC: запуск
16. ASUS Z790 2022

07 / ПРОВЕРКА СТАБИЛЬНОСТИ

7.1 Принципы проверки стабильности

Для проверки профиля DDR5 нужны разные нагрузки: отдельно проверяем хранение и передачу данных, контроллер памяти, тяжелую вычислительную нагрузку, повторяемость тренировки и запас при реальной температуре.

ПЯТЬ РАЗНЫХ ОБЪЕКТОВ ПРОВЕРКИ

Объект	Что может быть нестабильно	Чем проверяем	Что не доказывает один тест
DRAM и данные	Ячейки, строки, refresh (обновление), запись и чтение	Karhu, TM5, MemTest86, OCCT Memory	Устойчивость IMC под AVX-нагрузкой
IMC / PHY	Связь CPU с DIMM, VDD2/MC, TX, SA, Vref и сигнал	y-cruncher VT3/FFTv4, OCCT CPU + RAM	Отсутствие редкой ошибки хранения
CPU и кэш	Ядра, ring/кэш, напряжение и нагрев процессора	y-cruncher SVT и малые тесты с рабочим набором в кэше	Устойчивость самих модулей
Training	Разброс обучения, холодный бут, ребут и сохранённый быстрый путь	Несколько полных тренировок и бутов	Стабильность уже загруженной системы
Температура	tREFI, tRFC, напряжение DRAM и разный нагрев 1R/2R	Karhu/TM5 с HWiNFO и реальным обдувом	Поведение холодного комплекта

ЛЮБАЯ ПОДТВЕРЖДЕННАЯ ОШИБКА ОЗНАЧАЕТ НЕСТАБИЛЬНОСТЬ

Допустимого числа ошибок нет. Но место появления ошибки еще не называет виновника: Karhu может поймать CPU/кэш, y-cruncher - память или IMC, а MemTest86 - ошибку, зависящую от прошивки. Сначала воспроизводим симптом, затем меняем один параметр.

ПОРЯДОК ПРОВЕРКИ ПРОФИЛЯ

Шаг	Стадия	Практическое действие	Переходим дальше, когда
1	Быстрый отсев	10-30 минут профильной нагрузки после одного изменения	Нет ошибок и зависаний
2	Разделение причин	Сравнить SVT с VT3/FFTv4 и независимым RAM-тестом	Понятно, где воспроизводится сбой
3	Предзагрузка	MemTest86: четыре прохода после холодной тренировки	Нет адресных и битовых ошибок
4	Тепловой режим	Довести DIMM до ежедневного температурного плато	Профиль устойчив при рабочем tREFI
5	Повторяемость	Холодный бут, ребут, сон и обычные задачи	Результат не зависит от одного удачного POST

ГЛАВНЫЙ ПРИНЦИП ЭТОЙ ГЛАВЫ

Связка из двух-трёх разных алгоритмов даёт больше информации, чем сутки одного теста. Для итогового профиля используем y-cruncher, Karhu, MemTest86 и RAM Test Pro от Светланы — по качеству тестирования я бы поставил его даже на первое место. Обязательную проверку бутов сохраняем; TM5 рассматриваю как альтернативный профильный инструмент.

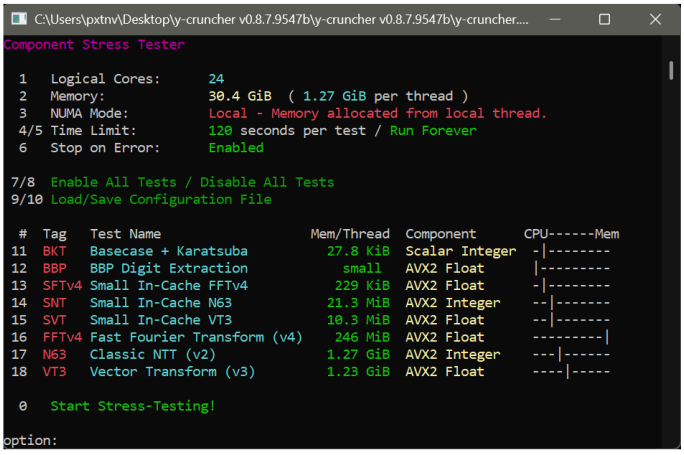
Длительность тестирования

Гонять один тест по принципу «чем дольше, тем лучше» — глупая трата времени. Профиль проверяется разными нагрузками: память, контроллер, нагрев, повторные тренировки и буты. Даже сравнительно короткие проверки в сочетании могут показать больше, чем слепой марафон одного алгоритма. У каждого теста должна быть задача. Без неё вы просто тратите своё время, гоняя многочасовые тесты ради тестов. Игнорируйте такие советы — эти люди весьма поверхностно разбираются в матчасти.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Методика этой редакции; y-cruncher и Karhu: ответы на вопросы; PassMark MemTest86: руководство; OCCT: описания тестов.

7.2 y-cruncher

Используем только Component Stress Tester (компонентный нагрузочный тестер). Официальная сборка для Windows - v0.8.7.9547b; для Linux - v0.8.7.9547. На моём снимке запущена версия 0.8.7.9547b для Windows.



РАБОЧАЯ ОТПРАВНАЯ ТОЧКА

Memory (объём): для крупных тестов 80–90% свободной ОЗУ с запасом для ОС, без подкачки. NUMA: Local на обычной LGA1700/LGA1851. Time Limit: отдельный лимит 60–120 с для каждого компонента сессии. Stop on Error: Enabled.

Набор инструкций зависит от исполняемого файла. AVX2 на снимке — характеристика этого запуска. Для сравнения результатов записывайте версию программы, выбранный исполняемый файл, число потоков и выделенный объём памяти. Mem/Thread показывает расход памяти на поток: у компонентов он различается.

ЧТО ДЕЛАЕТ КАЖДЫЙ КОМПОНЕНТ

Тег	Алгоритм	Основная нагрузка	Роль в DDR5-диагностике
BKT	Basecase + Karatsuba*	Скалярное целочисленное умножение; малый набор	Арифметика CPU; малая зависимость от RAM
BBP	BBP Digit Extraction	Векторная арифметика с плавающей точкой; малый набор	Вычислительная часть CPU с малым рабочим набором данных; охват RAM ограничен размером этого набора.
SFTv4	Small In-Cache FFTv4	Малый FFTv4: преобразование Фурье с плавающей точкой в кэше	CPU/кэш; дополнение к большому FFTv4
SNT	Small In-Cache N63	Малый N63: целочисленное NTT в кэше	CPU/кэш с другим типом арифметики
SVT	Small In-Cache VT3	Малый VT3: векторные вычисления, рабочий набор в кэше	CPU/кэш; сравниваю с большим VT3
FFTv4	Fast Fourier Transform v4	FFT с плавающей точкой; большой набор, сильная зависимость от пропускной способности RAM	CPU/кэш/IMC/RAM при активном обмене с памятью
N63	Classic 64-bit NTT v2	64-битное целочисленное NTT; большой рабочий набор	Иной алгоритм для совместной проверки CPU и RAM
VT3	Vector-Scalable Transform v3	Векторное преобразование; большой набор, CPU + IMC + RAM	Смешанная нагрузка на тракт DDR5; преемник VST

* В Command Lines.txt имя BKT включает Toom-Cook; по описанию разработчика, Toom-3 удалён из программы.

КАК Я СРАВНИВАЮ РЕЗУЛЬТАТЫ

SVT — малый вариант VT3 в кэше, а VT3 — преемник старого VST. Если SVT проходит, а VT3 падает, я проверяю профиль при большом рабочем наборе: CPU/кэш, IMC и RAM. При ошибках в обоих тестах начинаю с тех же узлов. Откатываю последнее изменение, повторяю проверку и добавляю независимый RAM-тест. FFTv4 проверяет совместную работу CPU и памяти.

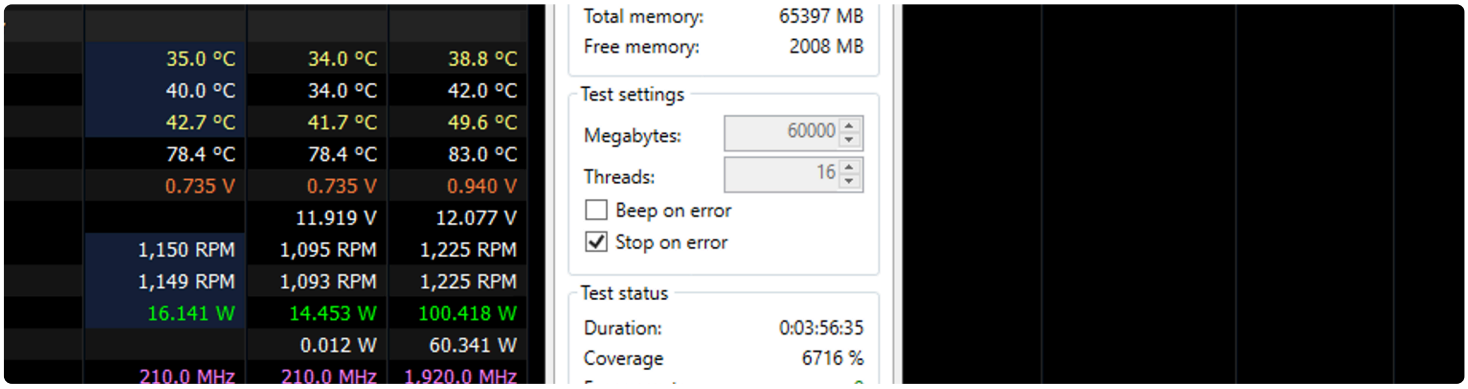
СРЕДНЕЕ ПРАКТИЧЕСКОЕ ВРЕМЯ

Быстрый отсев SVT + VT3: 20-30 минут. Кандидат на финал: 45-60 минут; до 60-90 минут, если нужно выйти на температурное плато. Это ориентиры моей методики. После выхода на температурное плато проверяю профиль другими алгоритмами и повторяю буты.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Alexander J. Yee: y-cruncher v0.8.7, история версий, алгоритмы умножения, выделение памяти, ответы на вопросы; пакет 0.8.7.9547b.

7.3 Karhu RAM Test

Оценивать пригодность RAM Test для DDR5 следует по результатам проверок. Для вывода о его ограничениях нужны конкретные сценарии нестабильности, которые Karhu пропускает, и сравнительные тесты. RAM Test разработан и издаётся финской Karhu Software Oy; стабильная версия — 1.1.0.0, а ветка 2.0 находится в разработке.



СКОЛЬКО ТЕСТИРОВАТЬ: АКТУАЛЬНАЯ СТАТИСТИКА РАЗРАБОТЧИКА

До момента ошибки	Найдено ошибок	Как использовать
10 минут	74,89%	Быстрый отсев явно неудачной настройки
30 минут	87,62%	Промежуточная проверка после изменения тайминга или напряжения
1 час	92,97%	Минимум для поиска части периодических ошибок
3 часа	97,84%	Рациональная проверка готового кандидата
6 часов	99,30%	Сильный финальный прогон; дальше отдача резко снижается
12 / 24 часа	99,91 / 99,99%	Для эпизодического поиска непостоянного сбоя

10 000% - УДОБНЫЙ ОРИЕНТИР, НО УЖЕ НЕ ДЕЙСТВУЮЩАЯ РЕКОМЕНДАЦИЯ РАЗРАБОТЧИКА

В актуальных ответах разработчик советует прежде всего учитывать длительность. Coverage (объём выполненной проверки) показывает накопленный объём работы теста относительно выделенной области памяти. По этому показателю нельзя вычислить долю проверенных физических ячеек или вероятность устойчивости. Его рост зависит от объёма памяти, CPU, числа потоков и кэша.

НАСТРОЙКИ И ТЕПЛОВОЙ РЕЖИМ

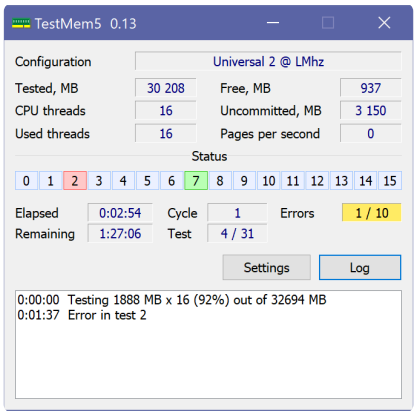
Поле	Практическое значение	Почему
Megabytes	Около 85% физической ОЗУ; системе оставить примерно 15%	Не занимать всю RAM: запас для Windows и фоновых процессов, без подкачки
Threads	Число физических ядер; для 14900K/KS - 24	Так рекомендует README Karhu
CPU cache / RNG	Default / Default	Enabled добавляем только как совместный CPU/кэш тест; XORWOW нужен главным образом Windows 7
Stop on error	Включить	Первая ошибка означает, что профиль не прошёл проверку

ОБДУВ И РАБОЧАЯ ТЕМПЕРАТУРА ПАМЯТИ

При повышенных VDD/VDDQ и tREFI выше примерно 30 000 я использую направленный обдув уже во время настройки и слежу за температурой SPD Hub в HWiNFO. Затем профиль обязательно проверяется с ежедневным охлаждением. На моих TeamGroup Xtreem при tREFI 131K ошибки появляются уже около 47 °C; у другого комплекта предел может отличаться, а 2R обычно чувствительнее.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Karhu RAM Test 1.1.0.0: сайт, README, ответы на вопросы и архив за 2021 год; HWiNFO: контроль показателей. Снимок: мой прогон.

7.4 TestMem5 (TM5)



МОЯ ПОЗИЦИЯ

Я сам TM5 не использую: в моей методике программа не дала дополнительных диагностических данных по сравнению с Karhu и y-cruncher. TM5 остаётся популярным бесплатным инструментом. На снимке экрана Universal 2 уже обнаружил ошибку.

Оригинальный TestMem5 0.12 написал Serj; развитие продолжил CoolCmd. Актуальная версия 0.13.1 исправляет преждевременное окончание, неверный объем тестируемой памяти и молчаливые ошибки выделения. Запускаем от администратора и проверяем версию TM5.exe/TM5.dll.

КОНФИГУРАЦИЯ ОПРЕДЕЛЯЕТ ХАРАКТЕР ТЕСТА

Конфигурация	Создатель	Назначение	Место в Intel DDR5
DDR5 Intel / OptimalforIntelDDR5	anta777	Профиль именно для Intel DDR5	Самая логичная отправная точка
Universal 2	LMHz	Универсальный профиль; по умолчанию в 0.13.1	Быстрый общий контроль
Absolut	anta777	Профиль с акцентом на проверке матрицы памяти	Финальная независимая проверка
Extreme	anta777	Старый длительный универсальный профиль	Рабочий, но не DDR5-специфичный
1usmus v3	1usmus	Короткий диагностический профиль	Исторический; не считать эталоном DDR5
Default	Serj	Оригинальная базовая последовательность	Не лучший выбор для современного разгона

KARHU И TM5 РЕШАЮТ ПОХОЖУЮ ЗАДАЧУ ПО-РАЗНОМУ

Свойство	Karhu RAM Test	TestMem5 0.13.1
Модель	Закрытый единый алгоритм	Движок с пользовательскими файлами конфигурации
Прогресс	Время и coverage	Заданное время, последовательности и тесты
Настройка	Кэш, RNG, FPU, объем и потоки	Шаблоны, блоки, длительность и порядок
Повторяемость	Проще сравнивать одинаковые запуски	Результат сильнее зависит от конфигурации
Лицензия	Платная	Бесплатная

КАК ИСПОЛЬЗОВАТЬ НОМЕР ОШИБКИ В ДИАГНОСТИКЕ

Таблицы вида «ошибка N = конкретный тайминг» основаны на наблюдениях сообщества и зависят от конфигурации. Используем их только как слабую подсказку. Для A/B-шагов достаточно 10-30 минут; кандидату можно дать 1-2 часа DDR5 Intel или Universal 2 и затем подтвердить результат другим алгоритмом.

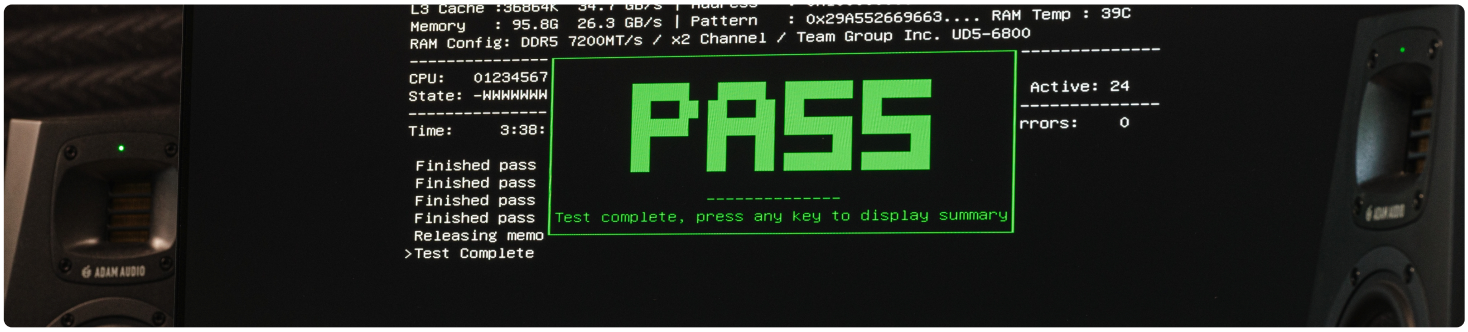
НЕ ИСПОЛЬЗОВАТЬ СЛУЧАЙНЫЕ РЕПАКИ

Официальные исполняемые файлы 0.13.1 не подписаны и могут вызывать эвристику антивируса. Не используйте архивы с неизвестными TM5.dll, MT0.dll или EXE: нужные популярные конфигурации уже включены в выпуск CoolCmd.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: CoolCmd/TestMem5 v0.13.1: выпуск и документация; включённые конфигурации Serj, LMHz, anta777 и 1usmus; 02.09.2026.

7.5 MemTest86

PassMark MemTest86 v11.7 Build 1000 - автономное UEFI-приложение. Образ записывается на USB, накопитель выбирается в Boot Menu, после чего MemTest86 работает без Windows или Linux. Используется для базового и сервисного тестирования комплектов в режиме UEFI.



НАСТРОЙКА ДЛЯ DDR5

Параметр	Практический выбор	Смысл
CPU Mode	Parallel	Самый быстрый штатный режим; Single/Round Robin/Sequential - только диагностика UEFI или ядер
Passes	4 прохода	Free: максимум 4; первый сокращенный, следующие 3 полные. Четыре полных - только Pro/Site через PASS1FULL=1
Tests	Free: 0-10 и 13; Pro/Site: 0-13	Tests 11/12 - 64/128-bit проверки только Pro/Site; Test 13 Row Hammer доступен в Free
Test 14 DMA	Выключен по умолчанию	Дополнительная диагностика DMA/USB. Для обычной проверки разгона памяти используют другие тесты.

ЧЕТЫРЕ ПРОХОДА ПЕРЕД ЗАГРУЗКОЙ ОС

В официальном примере PassMark один проход занимает около 15 минут, четыре — 120 минут. Для вашей системы время нужно оценивать отдельно: объём RAM, CPU, выбранные тесты и режим кэша могут сильно его изменить. В Free четыре прохода - один сокращенный и три полных. PASS1FULL=1 делает первый проход полным, но доступен через mt86.cfg только в Pro/Site. Даже четыре прохода без ошибок не заменяют Karhu/y-cruncher под ОС.

FREE, PRO И СИСТЕМНАЯ ECC

Возможность	Free	Pro
Основные тесты	До 4 проходов; до 16 логических CPU; без Tests 11/12	До 999 проходов; больше CPU; Tests 11/12 доступны
Автоматизация	Ручной запуск и стандартный отчет	mt86.cfg, профили, расширенные отчеты и политика кэша
Системная ECC	Определение поддержки системной ECC и отчёт об ошибках	Внесение ошибок для проверки системной ECC на совместимых CPU/IMC

КАК РАБОТАЮТ on-die ECC И СИСТЕМНАЯ ECC

on-die ECC исправляет одиночную ошибку во внутреннем блоке данных IC DRAM. Счётчики ECS (Error Check and Scrub) отражают проверку массива средствами on-die ECC; их чтение требует поддержки платформы. Для системной ECC нужны совместимые CPU/IMC, плата и модули памяти. Corrected ECC errors — ошибки, исправленные системной ECC и зарегистрированные платформой. Рост их числа требует внимания. Внесение ошибок в MemTest86 Pro проверяет работу системной ECC на поддерживаемой платформе.

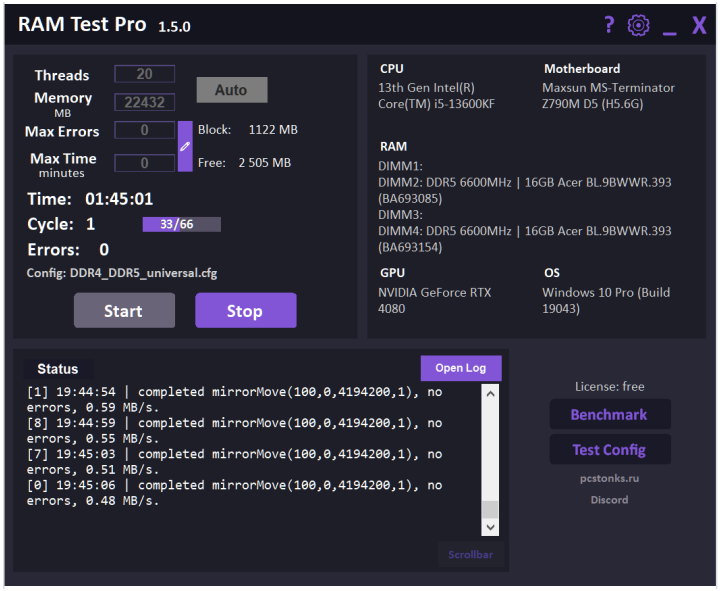
TEST 13 HAMMER И TEST 14 DMA

Hammer оставляем: тест ищет ошибки соседних строк из-за частых активаций и проверяет отдельный класс рисков refresh (регенерации заряда ячеек). DMA (прямой доступ устройства к памяти без обычной обработки CPU) экспериментален и отключён: ошибка может относиться к USB-накопителю или UEFI-драйверу. Поэтому проверку повторяют на другом USB-накопителе.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: PassMark MemTest86 v11.7: руководство, издания, время, ECC, тесты 13/14; SK hynix DDR5 32Gb M-die, ред. 1.2, §4.37. Мой прогон v11 Pro.

7.6 RAM Test Pro

RAM Test Pro 1.5.0 - бесплатная 64-битная утилита тестирования памяти от Светланы (PCSTONKS) для Windows 10/11. Она сочетает настраиваемые последовательности проверки, журнал ошибок, WHEA-наблюдение, поддержку NUMA/Large Pages и отдельный тест производительности DDR2-DDR5.



РЕКОМЕНДАЦИИ PCSTONKS

ПО АКТУАЛЬНОМУ РУКОВОДСТВУ RAM TEST PRO

- Закрыть лишние программы, освободить максимум RAM и не использовать систему во время прогона.
- Ручной режим: минимум 800 МБ на блок, больше - лучше. Оставить системе 300-500 МБ от доступной свободной памяти.
- DDR5 тестировать не менее 6 часов; DDR4 - 3-4 часа.
- Контролировать охлаждение памяти и CPU; использовать только безопасные напряжения.

МОЙ ПРОМЕЖУТОЧНЫЙ A/B-ЭТАП

20-30 минут - короткий промежуточный прогон. Финальная проверка по PCSTONKS - не менее 6 часов для DDR5.

ЧТО ОТЛИЧАЕТ RAM TEST PRO

Часть	Что реализовано	Практический смысл
Движок	Собственное x64-ядро и формат cfg - по описанию Светланы	Гибкая настройка последовательности и параметров тестов
Алгоритмы	Inverse, mirror move, refresh, pseudo-random и I/O/AVX	Порядок и параметры меняются в настройках
Диагностика	Позиция ошибки, журнал, WHEA и остановка по лимиту	Больше контекста, чем один счетчик Errors
Платформы	Многоядерные CPU, NUMA и экспериментальные Large Pages	Полезно не только на обычной игровой системе
Оценка	Read/Write/Copy, задержка и случайный доступ	Дополняет AIDA64/MLC при оценке производительности памяти.

ДОПОЛНИТЕЛЬНО:

Результат RAM Test Pro подтверждаем y-cruncher, MemTest86 либо другой независимой нагрузкой. Повторяем проверку после холодных бутов и ребутов.

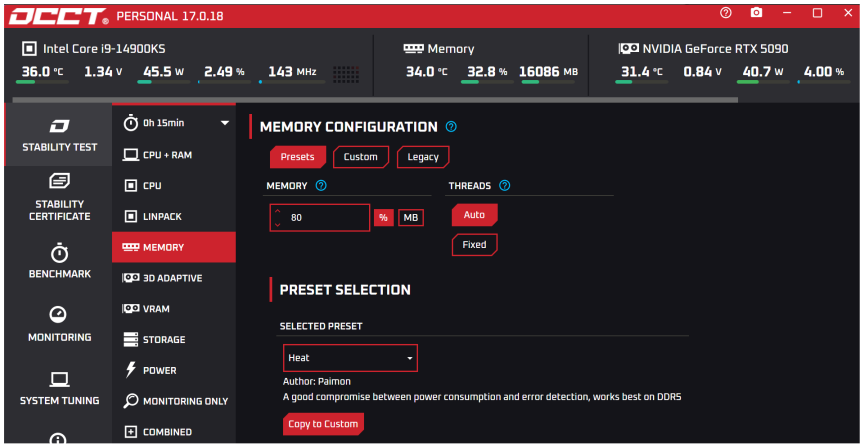
ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Svetlana / PCSTONKS: RAM Test Pro 1.5.0, официальный сайт, руководство и примечания к выпуску.

7.7 Доп. тесты

Эти программы можно использовать для быстрой проверки отдельной гипотезы и получения дополнительных диагностических данных. Базой моей методики остаются Karhu + y-cruncher; RAM Test Pro от Светланы (PCSTONKS) разобран в 7.6 как бесплатная альтернатива для дополнительной проверки. Версию, настройки, длительность, температуру и первую ошибку всегда сохраняем вместе со снимком экрана.

ДОПОЛНИТЕЛЬНЫЕ ИНСТРУМЕНТЫ И РЕЖИМЫ ПРОВЕРКИ





Инструмент	Когда полезен	Ограничение	Практическое время
OCCT Memory	Проверяет память в Windows и выявляет ошибки при выбранных частоте и таймингах	Не проверяет область памяти, занятую ОС	15–30 минут
OCCT CPU + RAM	Проверяет общий тракт CPU и памяти; отслеживает WHEA	Сложнее локализовать причину	20-45 минут
HCI MemTest 7.0	Простой альтернативный Windows RAM-тест	Больше ручной настройки; медленнее Karhu. Pro удобнее распределяет потоки	400%+ как базовый ориентир
Прикладная задача	Игра, архиватор, компиляция, расчёт изображения и сон системы	Не дает контролируемого покрытия	Обычный рабочий цикл

7.8 План тестирования

Этап	Основная связка	Что проверяем	Ориентир
Один тайминг	Karhu	Быстрый отклик на последнее изменение	10-30 минут
Частота / питание	y-cruncher SVT + VT3, затем FFTv4	CPU/кэш и общий тракт CPU/IMC/RAM при разном размере рабочего набора	20–30 минут
Готовый кандидат	y-cruncher + Karhu; TM5/RTP — дополнительные проверки	Разные алгоритмы под Windows	45-60 минут + 1-3 часа Karhu
Предзагрузка	MemTest86 4 прохода	Грубые адресные, битовые и Hammer-ошибки	До завершения
Рабочий профиль	MemTest86 + y-cruncher + Karhu; холодные буты и ребуты	Данные, IMC, температура и повторяемость	4 прохода + 45-60 мин + 3-6 ч Karhu

ДЛИТЕЛЬНОСТЬ ПРОВЕРКИ ВЫБИРАЕМ ПОД ЗАДАЧУ

Чем меньше шаг, тем короче промежуточный тест. Длинный финальный прогон начинается только после того, как профиль пережил несколько коротких A/B-проверок. Если ошибка появляется за минуту, нет смысла ждать оставшиеся часы; если только после прогрева - сначала фиксируем температурный порог.

РЕКОМЕНДУЕМАЯ БАЗА ЭТОГО РУКОВОДСТВА

База моей методики - Karhu + y-cruncher; MemTest86 добавляет независимую UEFI-проверку. Диапазоны 1-3 и 3-6 часов относятся именно к Karhu и не заимствованы у PCSTONKS. TM5 или RTP допустимы как дополнительные независимые проверки. Даже после их зелёного прогона нужно выполнить базовый критерий Karhu. OCCT и HCI подключаем лишь под отдельную диагностическую задачу.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: OCCT: описания тестов; HCI MemTest 7.0: сайт; PCSTONKS RAM Test Pro: документация; сводная методика руководства.

7.9 Диагностика ошибок

После ошибки сначала выясняем условия её появления. Смотрим на тест, время, температуру, WHEA, тип бута или ребута и последнее изменение; затем возвращаем только один параметр.

СИМПТОМ -> ПЕРВАЯ ГИПОТЕЗА -> СЛЕДУЮЩИЙ ТЕСТ

Симптом	Первая гипотеза	Что сделать следующим
Счетчик ошибок данных растет сразу	Последнее изменение OC; CPU/кэш, память, IMC или сигнал	Откатить шаг; повторить на известной базе; сохранить текст и условия ошибки
Тест не может выделить память	Запрошенный объем, ограничения программы или доступная RAM	Уменьшить выделение; проверить настройки и сообщения программы
Тест работает необычно медленно	Подкачка на диск, фоновая нагрузка, режим теста	Проверить использование RAM/подкачки и повторить в сопоставимых условиях
Ошибка только после прогрева	tREFI/tRFC, DRAM VDD, охлаждение или 2R	Записать температуру SPD Hub; снизить tREFI либо улучшить ежедневный обдув
SVT и VT3 падают	CPU/кэш, ring, питание CPU либо общий предел по CPU/IMC, нагреву и питанию	Ослабить CPU OC; сравнить SFTv4/SVT и OCCT CPU
SVT проходит, VT3/FFTv4 падают	IMC, VDD2/MC, TX/SA, память или сигнал	Сравнить Karhu; вернуть Auto ODT; проверить диапазон напряжений
MemTest86 ошибается до ОС	Грубая нестабильность памяти/IMC, адресация или UEFI/BIOS	JEDEC, другой DIMM/слот, повтор после Clear CMOS и холодной тренировки
Ошибка после холодного бута	Неповторяемый результат тренировки или ускоренный бут	Выключить MRC Fast Boot; после трёх холодных бутов сравнить рабочие значения
WHEA без ошибки теста RAM	Возможные источники — CPU, IMC, межсоединения и DRAM; уточнить по записи WHEA.	OCCT CPU + RAM и отдельный CPU-тест; проверить журнал WHEA

Ошибки данных и выделения памяти учитываются раздельно. Подкачка (обмен страницами памяти с диском) может резко замедлить тест, но сама по себе не объясняет счётчик ошибок RAM.

НЕ ЛЕЧИТЬ ОШИБКУ СЛУЧАЙНЫМ ПОВЫШЕНИЕМ НАПРЯЖЕНИЯ

У SA, TX, MC/VDD2 и DRAM VDD/VDDQ есть рабочие диапазоны: лишнее напряжение способно ухудшить сигнал и тренировку, усилить нагрев. Вернитесь к последнему проверенному значению и изменяйте напряжение одной линии питания небольшими шагами, проверяя значения выше и ниже исходного.

КРИТЕРИИ ГОТОВОГО ПОВСЕДНЕВНОГО ПРОФИЛЯ

Шаг	Требование	Что сохраняем
1	Четыре прохода MemTest86 без ошибок	HTML/фото отчета и версию 11.x
2	45-60 минут y-cruncher SVT + VT3 + FFTv4	Версию, память, лимит, первую/последнюю температуру
3	Karhu 3-6 часов; TM5/RTP - только дополнительный прогон	Время, coverage, объем, потоки и 0 ошибок
4	По три холодных бута и ребута; сон, если используется	Поведение POST, Q-Code и обученные значения
5	Финальный тепловой прогон при ежедневном охлаждении	Максимальную температуру SPD Hub, события WHEA и температуру воздуха
6	Обычные задачи не показывают регрессий	Архиватор/игру/расчёт изображения; копию профиля

ТОЧКА ОСТАНОВКИ

Профиль готов, когда проходит проверки разными алгоритмами, сохраняет устойчивость после полного обесточивания и имеет запас при ежедневной температуре.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Методика глав 03-07; официальная документация y-cruncher, Karhu RAM Test, PassMark MemTest86, OCCT и HWiNFO.

08 / ПРОИЗВОДИТЕЛЬНОСТЬ И МОНИТОРИНГ

8.1 Показатели производительности

Для DDR5 оцениваем пропускную способность, задержку, влияние кэша и результат в прикладной задаче. Стабильность проверяем по методике главы 7.

Сравнение имеет смысл только внутри одной программы и версии, при одинаковых частотах CPU/Ring, фоновой нагрузке Windows, охлаждении и состоянии защитных функций ОС.

ЧЕТЫРЕ РАЗНЫХ ТИПА РЕЗУЛЬТАТА

Метрика	Что показывает	Что особенно влияет
Read	Скорость чтения данных из памяти	Частота, IMC, Gear, каналы, потоки и реализация теста
Write	Скорость записи в память	Архитектура CPU/IMC, частота, тайминги и алгоритм
Copy	Копирование данных: чтение и последующая запись	Полный тракт памяти, кэш и размер рабочего набора
Latency	Полная задержка доступа в наносекундах	Все тайминги, частота, Gear, Ring/Uncore и фон ОС

ТРИ УРОВНЯ ПРОВЕРКИ РЕЗУЛЬТАТА

1 СИНТЕТИКА

AIDA64, MLC или OCCT показывают предел конкретного алгоритма.

2 ПРИКЛАДНОЙ ТЕСТ

7-Zip, Cinebench или CPU-лимитная игра проверяют, дошел ли выигрыш до задачи.

3 СТАБИЛЬНОСТЬ

Глава 07 отдельно ищет ошибки. Высокий балл не означает стабильный профиль.

ПРОВЕРЯЙТЕ ВЫИГРЫШ В СВОИХ ЗАДАЧАХ

Большая пропускная способность не гарантирует лучший 1% low и меньшая задержка AIDA64 не обеспечит меньшую задержку в игре. Сначала оцениваем медиану прогонов, затем подтверждаем эффект отдельной практической задачей.

ПРАВИЛО ЭТОЙ ГЛАВЫ

Меняем один профиль, сохраняем одинаковую среду и не выбираем самый удачный запуск. Разницу меньше естественного разброса не считаем улучшением.

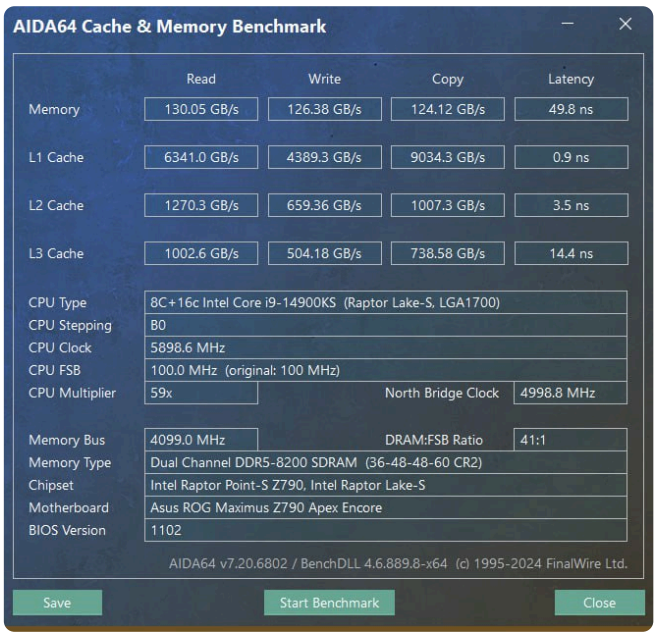
ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: FinalWire AIDA64: методика тестов производительности; сводная методика измерений глав 03-07.

8.2 AIDA64 Extreme



AIDA64 Cache & Memory Benchmark — быстрый синтетический тест для сравнения профилей на одной системе. По опубликованному разработчиком описанию Read/Write работают с блоком 64 МБ, а Copy переносит 32 МБ и считает оба направления трафика. Latency использует случайные адреса внутри блоков.

КАК УСТРОЕН CACHE & MEMORY BENCHMARK



READ / WRITE

Многопоточные чтение и запись. Больше — лучше.

COPY

Чтение + запись через CPU. Хорошо показывает полный тракт.

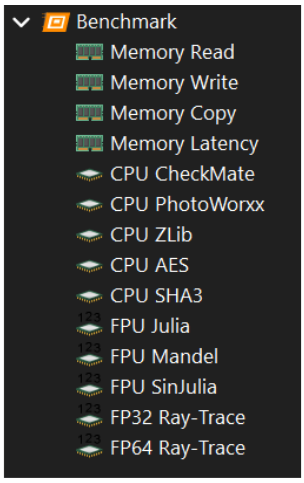
LATENCY

Задержка случайного доступа в нс. Меньше — лучше; результат отражает работу всего тракта памяти, включая tCL.

МОЙ ЭТАЛОННЫЙ ТЕСТ 8200

130,05 / 126,38 / 124,12 ГБ/с и 49,8 нс на 14900KS.

ПОЛЕЗНЫЕ ТЕСТЫ ИЗ ОБЩЕГО РАЗДЕЛА BENCHMARK



ОСНОВНОЙ НАБОР

Memory Read, Write, Copy и Latency — прямое сравнение профиля DDR5.

CPU + ПАМЯТЬ

CPU PhotoWorxx особенно чувствителен к кэшу и задержке; CPU ZLib умеренно зависит от памяти.

ПРЕИМУЩЕСТВЕННО CPU

AES, SHA3, Julia, Mandel, SinJulia и Ray-Trace в этой методике служат для контроля производительности CPU.

Hardware Prefetcher в ASUS Z790 управляет MLC Streamer: распознаёт последовательные обращения и заранее подгружает данные в L2. Это отдельная настройка от Adjacent Cache Line Prefetch; эффект зависит от нагрузки.

> Отключение Hardware Prefetcher в BIOS снижает Read/Write/Copy. Я не помню точно, что конкретно он факапит, но вроде Copy страдает больше всего.

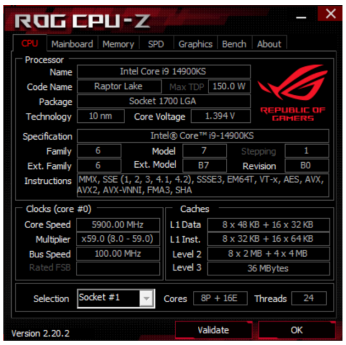
ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: FinalWire AIDA64 8.40.5000: Cache & Memory, CPU/FPU и пояснения разработчика. Снимки: мои измерения. Hardware Prefetcher: ASUS ROG Z790 BIOS, с. 67; Intel Hardware Prefetch Controls, § 1.3.1.

8.3 CPU-Z

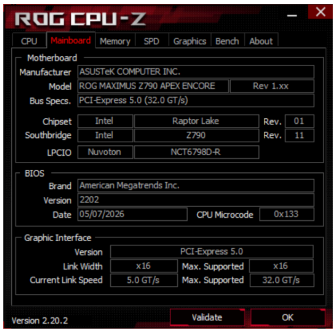
CPU-Z фиксирует конфигурацию системы: модель и stepping (ревизию) CPU, плату, BIOS, фактическую частоту памяти, активные первичные тайминги и SPD каждого модуля.

МОИ ВКЛАДКИ CPU-Z: ЧТО СОХРАНЯТЬ ВМЕСТЕ С РЕЗУЛЬТАТОМ

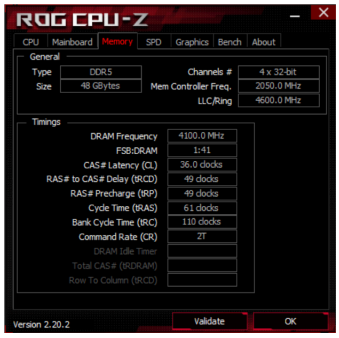
1. CPU



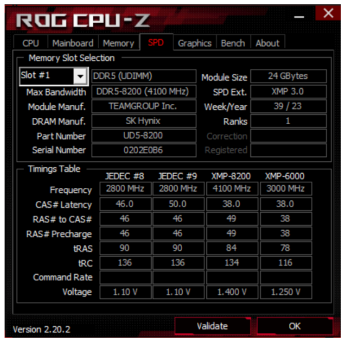
2. MAINBOARD



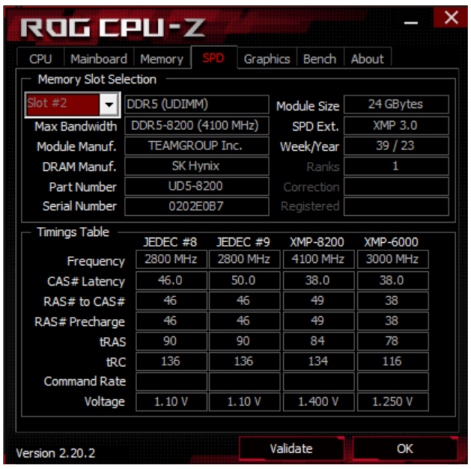
3. MEMORY



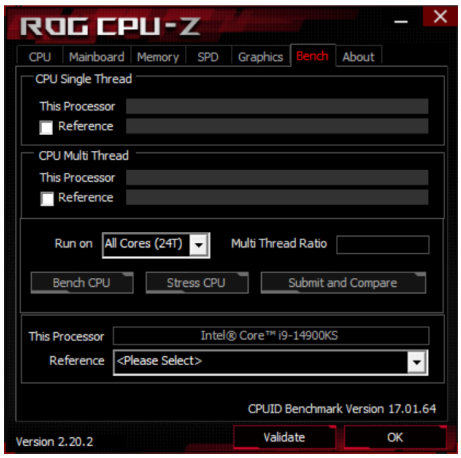
4. SPD / SLOT 1



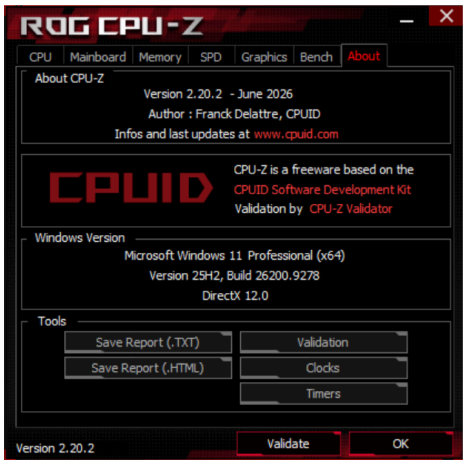
5. SPD / SLOT 2



6. BENCH



7. ABOUT



КУДА СМОТРЕТЬ В ПЕРВУЮ ОЧЕРЕДЬ

Вкладка	Что проверяем	Как читать
CPU / Mainboard	Модель, stepping, BCLK, плата, BIOS, микрокод	Фиксируем платформу и состояние CPU для повторения
Memory	DRAM Frequency, 4 x 32-bit, tCL/tRCD/tRP/tRAS/tRC и CR	4100 МГц × 2 = DDR5-8200; это действующие параметры
SPD каждого слота	Объём, производитель DRAM, ранги, модель, серийный номер, JEDEC/XMP	SPD хранит профили модуля, но не доказывает, что XMP сейчас активен
Bench / About	Быстрый CPU-балл и точную версию CPU-Z	Bench не тестирует RAM; версию фиксируем на снимке

MEMORY И SPD ОТВЕЧАЮТ НА РАЗНЫЕ ВОПРОСЫ

Memory показывает, с чем система работает сейчас. SPD показывает записанные в выбранном DIMM профили JEDEC/XMP и паспортные данные. CPU-Z Validation фиксирует конфигурацию и частоту, но не подтверждает стабильность.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: CPUID CPU-Z 3.01 и Validator V3: официальная документация. Снимки: моя система.

8.4 HWiNFO



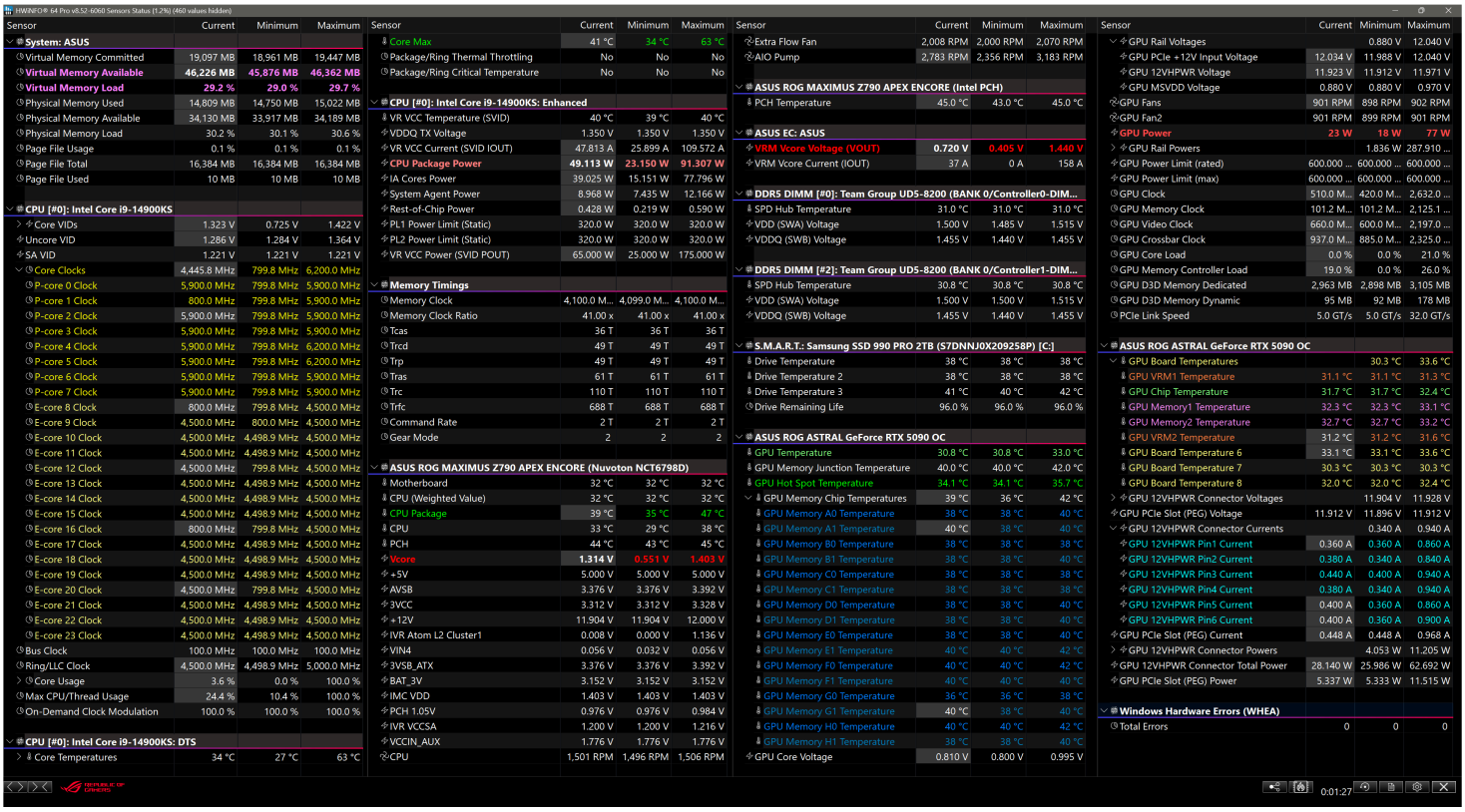
HWiNFO - основной и, на мой взгляд, лучший инструмент контроля показателей. Он показывает температуру модулей, реальные* напряжения, частоты CPU/Ring, снижение частот по ограничениям и счётчики WHEA.

* Показания служат для оценки: телеметрия PMIC может ошибаться. Фактическое напряжение и его пульсации проверяют осциллографом.

МИНИМАЛЬНЫЙ НАБОР ДАТЧИКОВ

Показание	Что сохраняем	Важный нюанс
SPD Hub Temperature	Current, Maximum и Average отдельно для каждого DIMM	Датчик измеряет температуру SPD Hub; для определения температуры кристаллов DRAM требуется отдельное измерение.
VDD / VDDQ	Показания обоих модулей	Если поддерживаются; аномалии перепроверяем с учетом PMIC и ПО
Memory Timings	Memory Clock, Gear и действующие тайминги	Быстрая проверка, что система загрузила нужный профиль
CPU / Ring	Частоты, лимиты мощности, снижение частот	Режим CPU влияет на результат теста
WHEA	Счетчик до и после прогона	Рост требует диагностики, но не указывает автоматически на RAM

МОЙ РАБОЧИЙ ЭКРАН SENSORS



ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: HWiNFO 8.55 beta: документация и рекомендации разработчика по SPD Hub Temperature и WHEA. Снимки: моя система.

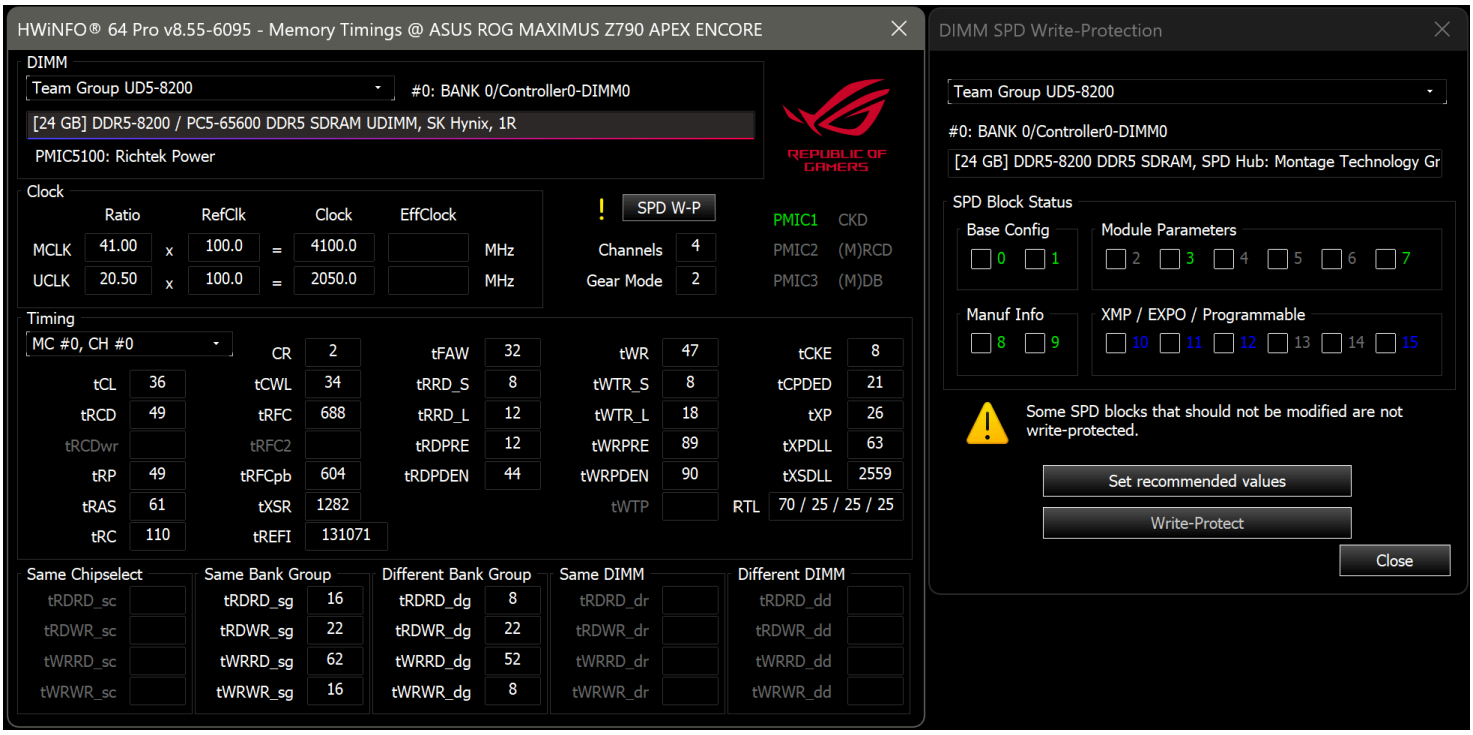
8.4.1 Окно Memory Timings

Помимо блока Memory Timings (тайминги памяти) в Sensors (датчики), HWiNFO открывает отдельное окно «Memory Timings» с расширенным набором рабочих параметров. Оно позволяет проверить значения, применённые после memory training (обучения памяти), включая рассчитанные платформой настройки Auto.

В режиме Sensors-only (только датчики) окно открывается через меню значка HWiNFO в области уведомлений.

ЧТО ДОБАВЛЯЕТ ОТДЕЛЬНОЕ ОКНО

Вторичные и третичные тайминги, интервалы переключения (turnaround): tFAW, tRRD_S/L, tWTR_S/L, tRDPRE, tRDPDEN, tWRPRE, tWRPDEN, tRDRD/tRDWR/tWRRD/tWRWR sg/dg и другие; также служебные поля, включая RTL. Набор зависит от платформы и версии HWiNFO.



HWiNFO: расширенные тайминги памяти и состояние защиты SPD от записи

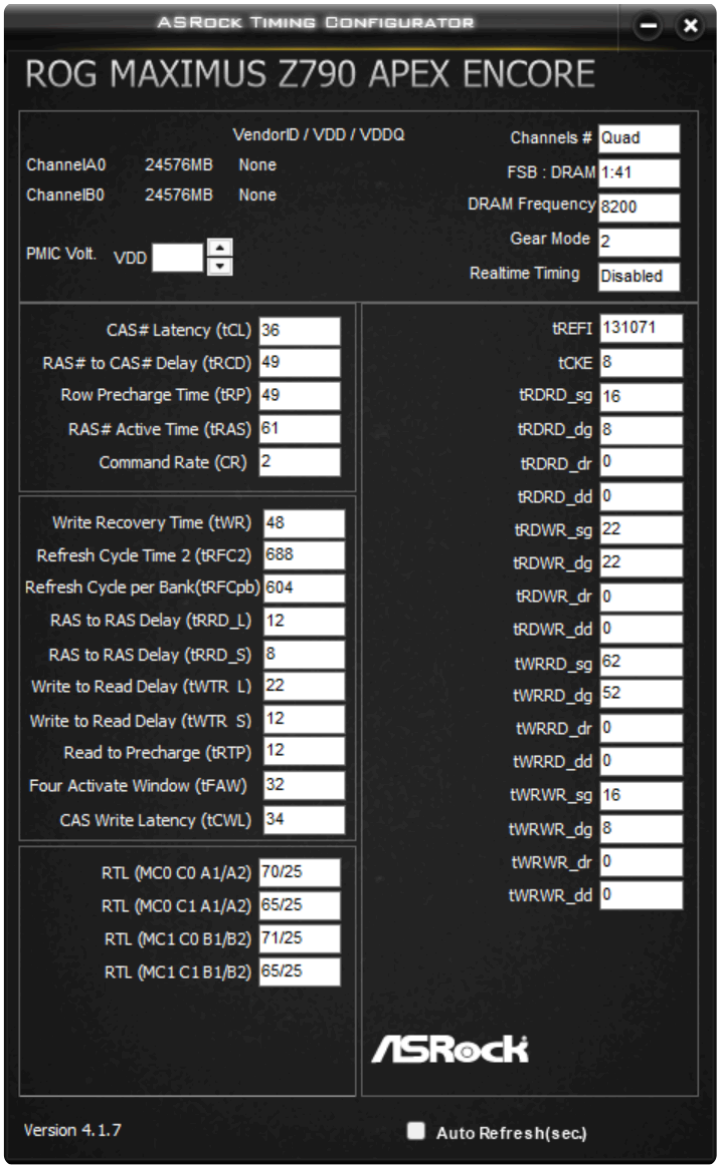
> **ВНИМАНИЕ: DIMM SPD WRITE-PROTECTION**
>
> **“Some SPD blocks that should not be modified are not write protected.”**
>
> «Некоторые блоки SPD, которые не должны изменяться, не защищены от записи». Сообщение описывает защиту SPD от записи; состояние таймингов по нему определить нельзя. Менять SPD Write-Protection или записывать SPD без понимания последствий не следует; для просмотра таймингов запись не нужна.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: HWiNFO: DIMM SPD Write-Protection Management; версия на снимке 8.55-6095. HWiNFO — пояснение разработчика о защите SPD

8.5 ASRock Timing Configurator

ASRock Timing Configurator 4.1.7 — утилита для просмотра действующих первичных, вторичных и третичных таймингов прямо из Windows. Она удобна для компактного снимка параметров, в том числе на совместимых платах ASUS.

МОЙ ПРОФИЛЬ DDR5-8200 НА Z790 APEX ENCORE



СВЕРХУ

Плата, объем, DRAM Frequency, FSB:DRAM, Gear Mode и режим каналов.

СЛЕВА

Первичные и основные вторичные тайминги, включая tRFC и tFAW.

СПРАВА

tREFI, tCKE, переходы sg/dg/dr/dd и другие значения, обученные BIOS.

ВАЖНО

Нули означают неприменимый путь 1R/1DPC для 2x24 ГБ 1R организации.

ОГОВОРКА ДЛЯ WINDOWS 11

Memory Integrity/Core Isolation может блокировать драйвер утилиты. Отключать защиту специально ради снимка таймингов я не рекомендую: если программа не запускается, используем BIOS, CPU-Z и HWiNFO.

Расчёт WTR зависит от версии утилиты; сравнение DDR4/DDR5-формул и поправок — в разделе 3.8.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASRock Timing Configurator 4.1.7: официальный сервер загрузки и ответы ASRock № 505. Снимок: моя система.

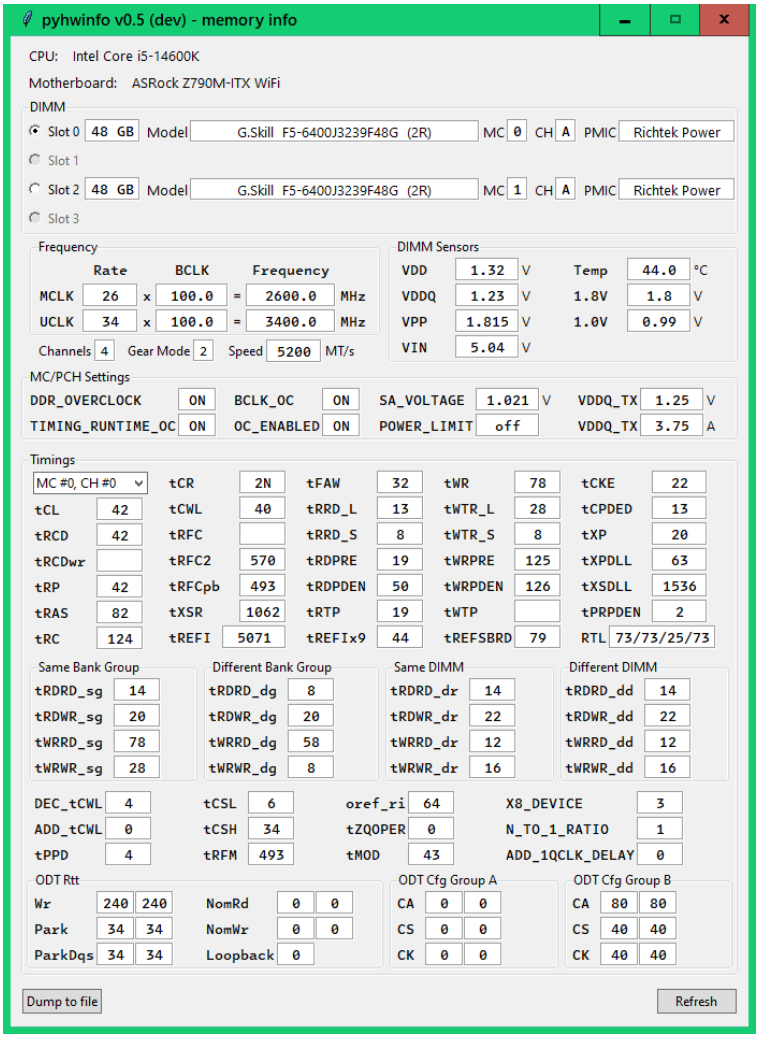
8.6 pyhwinfo

pyhwinfo 0.8 dev — низкоуровневая утилита диагностики разгона DDR5. Читает применённые параметры памяти и IMC, которые обычные средства контроля показывают частично или не показывают.

ЧТО ПОЗВОЛЯЕТ ПРОВЕРИТЬ

MCLK / UCLK / BCLK (поля интерфейса), скорость памяти и Gear Mode; основные, вторичные и третичные тайминги по каналам и MC0/MC1; RTL; ODT (Wr, Park, ParkDqs, NomRd, NomWr и др.); Vref; SA VID, VDDQ TX, AC_LL / DC_LL; DIMM, SPD / PMIC, доступные напряжения и температуры модулей.

После Memory Training позволяет сравнить установки BIOS с применёнными значениями. Особенно полезно проверять AUTO, третичные тайминги и turnaround (интервалы переключения), RTL, ODT и Vref: платформа рассчитывает их при обучении.



pyhwinfo: низкоуровневые параметры DDR5 и контроллера памяти

На снимке v0.5 (в разработке): MC/PCH Settings (настройки контроллера памяти и чипсета); отдельные Vref и AC_LL/DC_LL здесь не показаны.

ОГРАНИЧЕНИЯ СОВМЕСТИМОСТИ

Поддерживаются Windows 7 и новее, Intel Core 12/13/14/15-го поколений и DDR5. Поддержка AMD и DDR4 не заявлена. Проект находится в разработке: платформы, поля и интерфейс могут меняться. Низкоуровневые значения требуют понимания DDR5/IMC; их назначение разобрано в профильных главах.

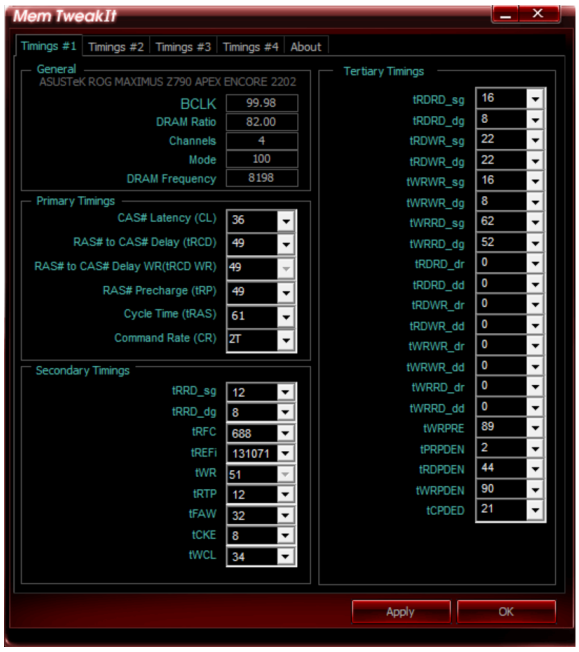
ИСТОЧНИКИ: README и исходный код pyhwinfo (11.09.2026); OCN — ссылка на профильное обсуждение. GitHub — pyhwinfo / remittor OCN - pyhwinfo: просмотр таймингов, открытый исходный код

8.7 ASUS MemTweakIt

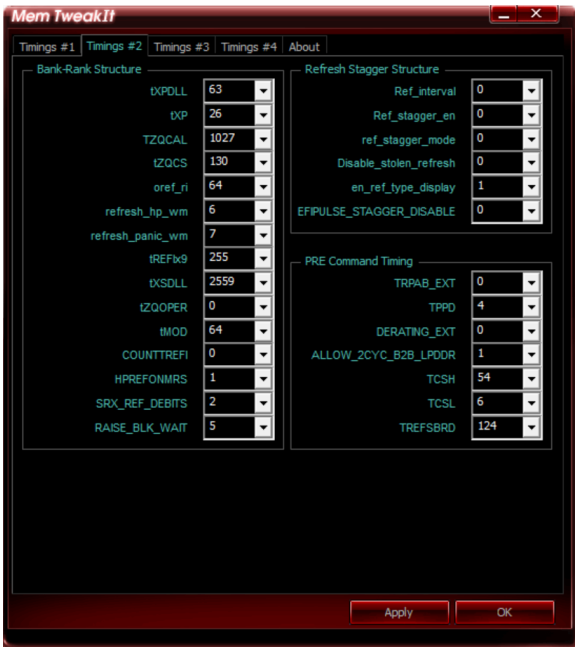
ASUS MemTweakIt показывает больше служебных параметров, чем ASRock Timing Configurator (ATC). На моем Z790 Apex Encore четыре вкладки собирают основные, вторичные и третичные тайминги, механику refresh, планировщик и RTL. В руководстве я использую его для подробного снимка параметров.

ЧЕТЫРЕ СТРАНИЦЫ ОДНОЙ КОНФИГУРАЦИИ DDR5-8200

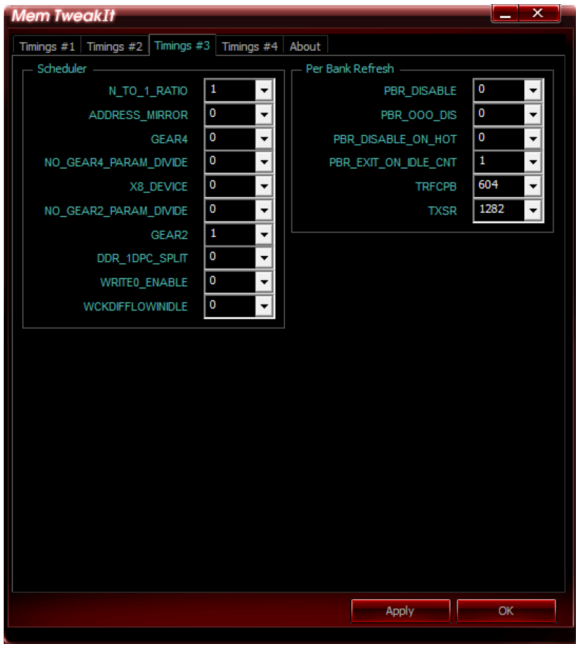
ТАЙМИНГИ № 1 / ОСНОВНЫЕ



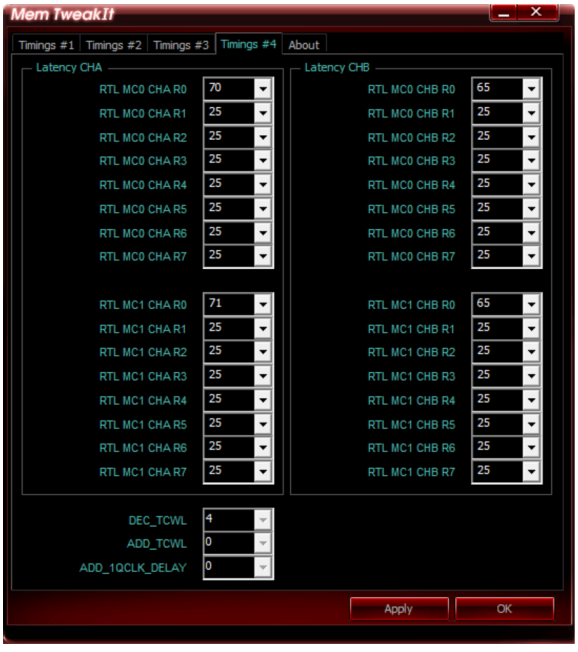
ТАЙМИНГИ № 2 / REFRESH



ТАЙМИНГИ № 3 / ПЛАНИРОВЩИК



ТАЙМИНГИ № 4 / RTL



ИЗМЕНЕНИЕ ТАЙМИНГОВ ИЗ WINDOWS

Даже если поля активны, я использую MemTweakIt только для чтения и снимков экрана. Запись способна мгновенно уронить систему, а часть значений зависит от версии BIOS и самой утилиты. Источник современной сборки — сообщество; в официальном каталоге ASUS она отсутствует. Архив проверяем перед запуском.

Расчёт WR зависит от версии MemTweakIt; различие старой и DDR5-формулы показано в главе 11.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS MemTweakIt: руководства; HWBOT Z790 Apex: сборка сообщества и обсуждение. Снимки: моя система.

8.8 Доп. тесты производительности

AIDA64 удобно дополнить одним независимым синтетическим и одним прикладным тестом. Результаты разных программ между собой не пересчитываются: каждая использует собственный рабочий набор и алгоритм.

Инструмент	Что измеряет	Когда полезен	Ограничение
Intel MLC 3.13	Bandwidth и latency под растущей нагрузкой	Глубокий анализ IMC и памяти	CLI; фиксировать параметры запуска
OCCT 17.1.10	Latency & Bandwidth L1/L2/L3/RAM	Современная графическая альтернатива AIDA64	Сравнивать только OCCT с OCCT
7-Zip 26.05	Сжатие/Распаковка LZMA	Прикладной отклик CPU, кэш и RAM	Один словарь и число потоков
Cinebench 2026	Расчёт сцены Redshift на CPU	CPU-балл; ужесточение таймингов иногда немного повышает результат	Оценивает производительность CPU; влияние настройки памяти может укладываться в разброс результатов.
CapFrameX / PresentMon	Frametime, средний FPS и низкие перцентили	Польза в CPU-лимитной игре	GPU-лимит скрывает эффект
RTP Benchmark	Read/Write/Copy и случайная задержка	Дополнительная точка внутри RAM Test Pro	Молодая методика

8.9 Протокол измерений

Шаг	Действие	Что фиксируем
1	Подготовить одинаковую среду	BIOS, Windows, версии программ, питание, фон и охлаждение
2	Зафиксировать конфигурацию	CPU-Z Memory/SPD и снимок ASRock Timing Configurator
3	Открыть HWiNFO Sensors	SPD Hub, VDD/VDDQ, WHEA, CPU/Ring и снижение частот по ограничениям
4	Сделать пять прогонов	Одинаковый порядок тестов, паузы, рабочий набор и прогрев
5	Посчитать медиану и разброс	Сравнивать медианы с учётом разброса; мелкую разницу не считать выигрышем
6	Подтвердить задачей	7-Zip, Cinebench или игра; глава 07 отдельно ищет ошибки

МИНИМАЛЬНЫЙ РАЗУМНЫЙ НАБОР

CPU-Z и Timing Configurator фиксируют настройки, HWiNFO — условия, AIDA64 — результаты синтетического теста, MLC или OCCT — независимые результаты для сравнения, а 7-Zip, Cinebench либо игра с ограничением со стороны CPU — практический эффект.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel MLC 3.13; OCCT 17.1.10; 7-Zip 26.05; Cinebench 2026; CapFrameX; Intel PresentMon; RAM Test Pro: документация тестов.

09 / ПРОГРАММЫ: ИСТОЧНИКИ И ЗАГРУЗКИ

Здесь собраны ссылки на программы из глав 07 и 08. Нажмите на название, чтобы открыть ссылку. Ссылки и версии проверены 27.10.2026.

y-cruncher § 7.2

Windows и Linux; бесплатный. Прямая ссылка ниже ведёт на архив Windows 0.8.7.9547b.

Официальный сайт · Архив Windows · Справка / FAQ

Karhu RAM Test § 7.3

Karhu RAM Test 1.1.0.0; Windows; платная лицензия. Ссылку на дистрибутив разработчик присылает после покупки.

Сайт и покупка · Руководство README

TestMem5 (TM5) § 7.4

TestMem5 0.13.1; Windows; бесплатный. Ветка CoolCmd; архив содержит программу и конфигурации.

Репозиторий CoolCmd · Последний архив 7z · Инструкция README

MemTest86 § 7.5

MemTest86 11.7 Build 1000. Загружается с USB-накопителя в режиме UEFI. Доступна бесплатная редакция Free; дистрибутив Pro предоставляют после покупки.

Официальный сайт · Загрузки · Архив Free · Руководство PDF

RAM Test Pro / RTP Benchmark § 7.6 / 8.8

PCSTONKS; бесплатный тест памяти и встроенный тест производительности. Архив Windows 1.5.0.

Сайт и руководство · Архив Windows

OCCT Personal § 7.7 / 8.8

OCCT 17.1.10; Windows и Linux. Условия Personal и платных редакций — на сайте.

Официальный сайт · Загрузки · Windows: стабильная версия · Руководство

HCI MemTest § 7.7

HCI MemTest 7.0; Windows. Есть бесплатная версия для домашнего / некоммерческого использования и платная Pro.

Официальный сайт · Архив Free · Руководство

Контроль показателей · HWiNFO § 7.9 / 8.4

HWiNFO 8.54 (стабильная версия): датчики и журнал. HWiNFO64 бесплатен для некоммерческого использования.

Официальный сайт · Загрузки · EXE-установщик · ZIP без установки

AIDA64 Extreme § 8.2

Версия 8.40.5000; Read/Write/Copy и задержка; 30-дневная пробная версия с ограничениями.

Сайт и загрузки · EXE для Windows · ZIP без установки · Руководство

CPU-Z / Validator § 8.3

CPU-Z 3.01: частоты, тайминги, SPD и фиксация конфигурации.

Сайт и справка · EXE Windows · ZIP Windows · Validator V3 · Validator: портал

ASRock Timing Configurator 4.1.7 § 8.5

ASRock Timing Configurator 4.1.7; Windows; просмотр действующих таймингов. Официальный архив ASRock.

Архив ASRock · FAQ ASRock

pyhwinfo § 8.6

Версия 0.8 dev; Windows, Intel DDR5. Проект в разработке; ограничения — в 8.6.

Репозиторий и инструкция · Тема OCN · ZIP ветки master

ASUS MemTweakIt § 8.7

Просмотр таймингов; сборка для Z790 размещена сообществом.

Сборка сообщества · Тема HWBOT · Руководство ASUS (Z390)

Intel MLC § 8.8

Intel MLC 3.13: задержка и пропускная способность памяти под нагрузкой.

Загрузки Intel · Описание и команды

7-Zip § 8.8

7-Zip 26.05: архиватор и тест сжатия/распаковки.

Загрузки · EXE Windows x64

Cinebench § 8.8

Cinebench 2026: тест CPU/GPU, расчёт изображения.

Загрузки · ZIP Windows x86-64 · Описание и требования

CapFrameX § 8.8

CapFrameX 1.9.1: время кадров; требуется .NET 10 Desktop Runtime x64.

Загрузки · ZIP с установщиком · ZIP без установки · Руководство

Intel PresentMon § 8.8

Intel PresentMon 2.6.0: запись времени кадров; приложение и консольная версия.

Репозиторий · Выпуск / файлы · MSI приложения · Консольный EXE x64 · Руководство

10 / НАДЕЖНОСТЬ И ПОВТОРЯЕМОСТЬ ОС

10.1 Охлаждение памяти



Стабильность памяти проверяем в установившемся тепловом режиме. Успешный тест сразу после холодного бута подтверждаем повторным прогоном после прогрева. За час нагрузки нагреваются DIMM, PMIC, воздух в корпусе и зона рядом с процессором — профиль должен сохранять устойчивость в этих условиях.

Датчик SPD Hub показывает температуру в месте своего расположения. Самый горячий DRAM-кристалл может нагреваться сильнее. На части модулей датчик отсутствует. Ориентируемся на динамику своего комплекта и температуру первой ошибки в повторных прогонах. Чужой скриншот отражает условия того стенда, на котором он получен.

ПОКАЗАТЕЛИ ВО ВРЕМЯ ТЕСТА

Показатель	Назначение	Оценка
SPD Hub Temperature	Температура SPD Hub каждого модуля с доступным датчиком	Смотрим Current и Maximum; сравниваем одинаковые датчики одного стенда
VDD / VDDQ и RPM	Связь нагрева с напряжением и реальным обдувом	Повышение напряжения может облегчить POST и одновременно сократить тепловой запас
Время первой ошибки	Связь ошибки с прогревом	Повторяем тот же тест с теми же настройками и другим обдувом
Температура корпуса	Условия повседневной работы	Финальный профиль проверяем в обычном закрытом корпусе с нагревом от GPU

ТЕПЛОВОЙ КОНТУР

ВОЗДУХ: температура комнаты, впуска корпуса и нагрев от GPU. →

DIMM / PMIC: нагрев модуля под нагрузкой при выбранных напряжениях. →

SPD HUB: доступная контрольная точка для наблюдения за температурой. →

ПЕРВАЯ ОШИБКА: фиксируем время, температуру и вид нагрузки; максимум датчика дополняет эти данные.

ПРАКТИЧЕСКИЙ ПОРЯДОК

1. Начальные условия.

Запускаем выбранный тест, записываем начальную температуру, VDD/VDDQ, обороты вентилятора и фон системы.

2. Установившийся прогрев.

Ждём, когда температура перестанет расти, и проверяем стабильность в этом режиме. При включённом DIMM Flex или другом динамическом режиме памяти фиксируем действующие частоту и тайминги на каждом температурном уровне.

3. Рабочие условия.

Повторяем нагрузку в закрытом корпусе и, если это типично для системы, с прогретой видеокартой.

4. Диагностический обдув.

При прежних настройках направляем воздух на DIMM. Исчезновение ошибок указывает на нехватку теплового запаса; результат подтверждаем повторной проверкой.

ПРАКТИЧЕСКИЙ ВЫВОД

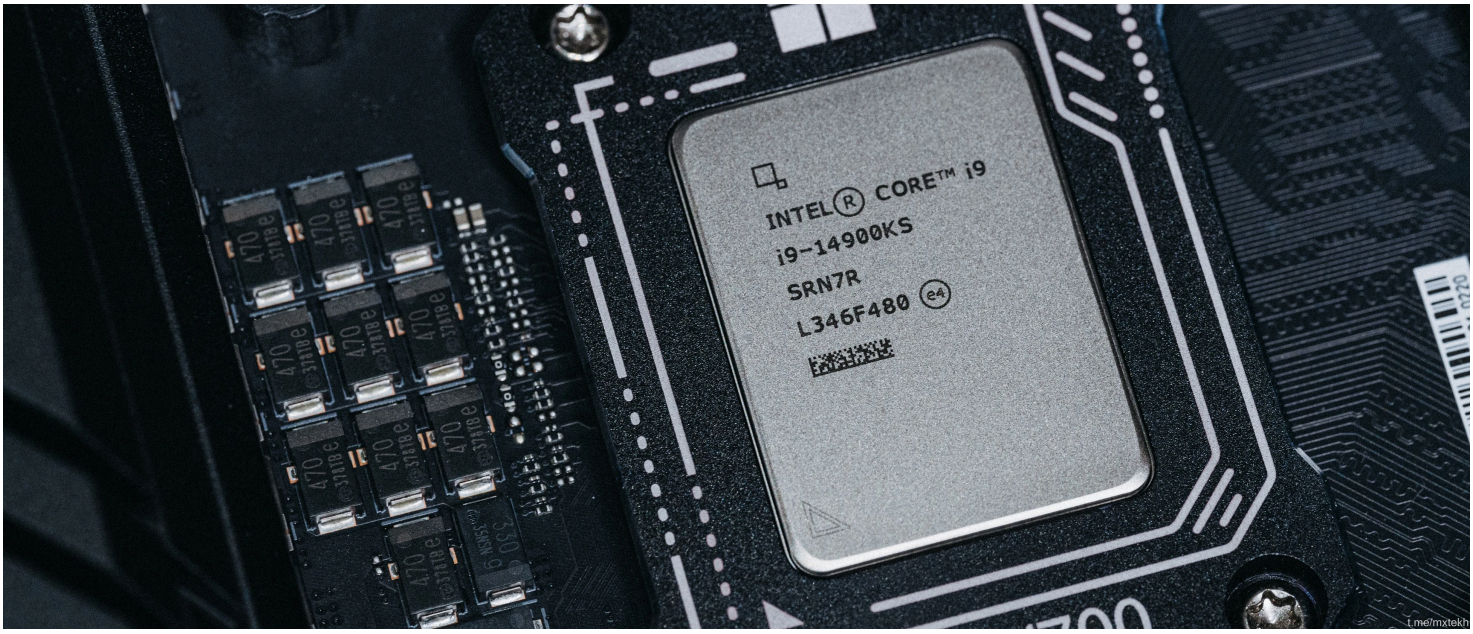
Для высокочастотной DDR5 направленный обдув над модулями — часть рабочей конфигурации. При ошибках после прогрева сначала проверяем влияние обдува. Затем при необходимости снижаем завышенный tREFI; ранее уменьшенный tRFC возвращаем к проверенному значению. Изменения проверяем по одному. Влияние VDD/VDDQ оцениваем вместе с температурой: дополнительное напряжение способно усилить нагрев.

ТЕМПЕРАТУРНЫЙ ПОРОГ ПРОФИЛЯ

Порог зависит от IC, напряжений, таймингов, конструкции DIMM, датчика и корпуса. Температурный запас определяем повторными тестами своего профиля. Порог 85 °C из документации относится к указанным в ней условиям эксплуатации; для разгона ориентируемся на фактическую устойчивость комплекта после прогрева.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Micron: возможности модулей и техописание DDR5 SDRAM 16 Гбит; Renesas SPD5118; TEAMGROUP: характеристики DDR5; ASUS DIMM Flex: документация.

10.2 Монтаж процессора и потенциал IMC



IMC (Integrated Memory Controller, встроенный контроллер памяти) находится в CPU. Его сигналы проходят через контакты LGA, дорожки платы и слоты DIMM. При пропавшем канале, резком ухудшении обучения после перемонтажа или нестабильности одного канала начинаем с механической диагностики на JEDEC.

Прижимная рамка процессора меняет геометрию и распределение усилия. Она может влиять на температуру и контакт. Внутреннее качество IMC определяется экземпляром CPU; доступную частоту памяти проверяем испытаниями.

СИГНАЛЬНЫЙ ПУТЬ

CPU / IMC: экземпляр контроллера задаёт исходный запас. →

LGA-КОНТАКТЫ: посадка, чистота и равномерный прижим. →

ПЛАТА: топология, дорожки, BIOS и обучение. →

DIMM: IC, ранг, SPD, напряжение и температура.

ДИАГНОСТИКА СИМПТОМОВ

Симптом	Проверяем	Действие
Канал или DIMM отсутствует	Модуль, слот, загрязнение и контакты процессорного разъёма	Проверяем один исправный DIMM в рекомендованных слотах; затем осматриваем CPU и LGA
После установки кулера обучение ухудшилось	Перекос, порядок и усилие затяжки	Возвращаем штатную процедуру крепления и полностью переобучаем память
Один канал стабильно слабее	Привязку ошибки к модулю или каналу	Меняем DIMM местами; повторяем JEDEC, затем исходный профиль
После установки рамки снизилась температура CPU	Фактический запас устойчивости памяти	Сравниваем максимальную стабильную частоту памяти и запас устойчивости до и после установки рамки при одинаковых настройках

БЕЗОПАСНАЯ ПОВТОРНАЯ УСТАНОВКА

1. JEDEC и обесточивание.

Сохраняем профиль, проверяем JEDEC. Выключаем ПК и БП, отключаем кабель питания от сети; убеждаемся, что дежурное питание снято.

2. Посадка компонентов.

Соблюдаем ESD-инструкцию платы; CPU и DIMM берём за края. На горизонтальной плате устанавливаем CPU без сдвига и касания контактов LGA пальцами.

3. Руководство производителя.

Порядок и усилие затяжки берём из руководства именно установленного кулера или рамки.

4. Обучение и повторная проверка.

После перемонтажа сбрасываем сохранённые результаты обучения и заново выполняем холодный бут, обычный ребут и тесты. Холодный бут выполняем после полного снятия питания. Начальную температуру DIMM записываем отдельно: модули могут сохранять тепло. Без прямого обдува они обычно остывают долго, особенно 2R. Для модулей с водяным охлаждением условия остывания оцениваем отдельно.

СРАВНЕНИЕ ПОТЕНЦИАЛА IMC

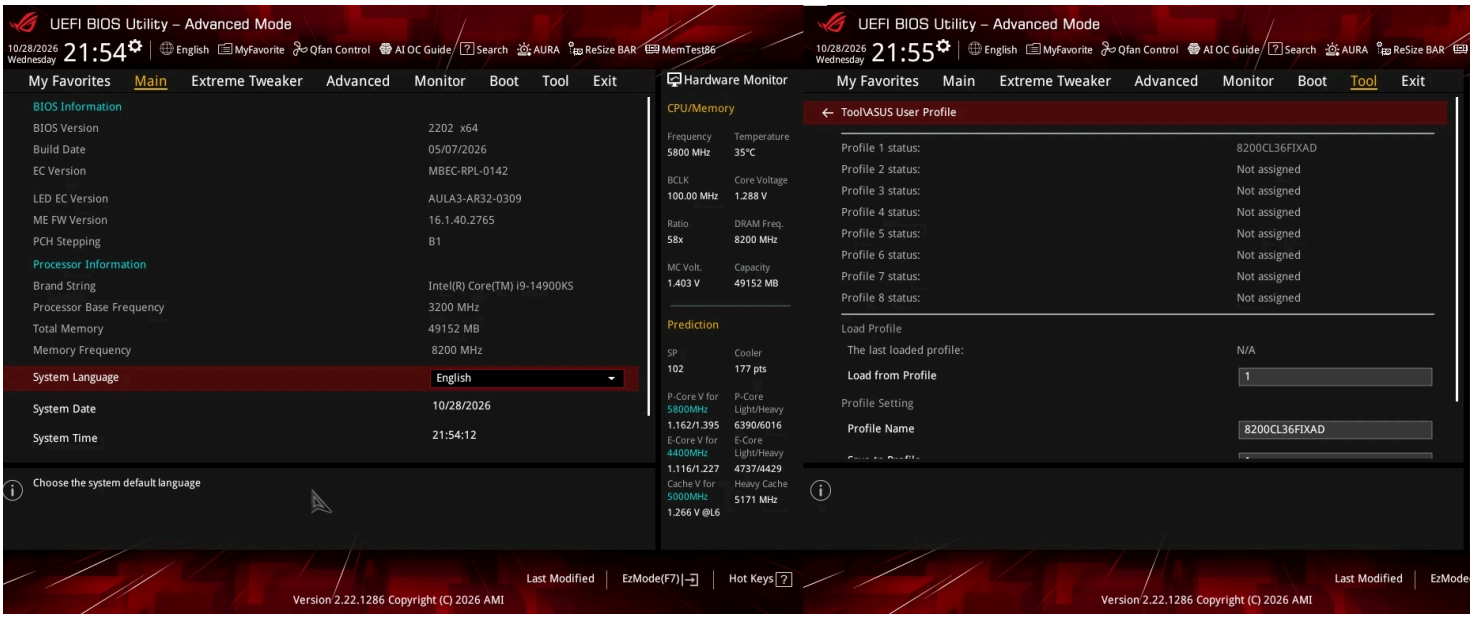
Даже CPU одной модели имеют разный запас контроллера. Сравниваем несколько обучений на одной плате, с теми же DIMM и при одинаковой температуре. Потенциал IMC оцениваем по воспроизводимой стабильности. Высокий SA и единичный успешный POST характеризуют конкретную попытку запуска.

КРЕПЛЕНИЕ И ПРИЖИМ

Процессоры LGA1700 и LGA1851 рассчитаны каждый на свой сокет; геометрия крепления кулера сохранена. Рамки, шайбы и моменты затяжки переносим только по технической документации производителя компонентов.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel: установка LGA1700/LGA1851; MSI: диагностика DRAM LED; Noctua: руководства LGA1700/LGA1851; руководства кулеров и рамок.

10.3 BIOS и воспроизводимость профиля



Версия BIOS — часть профиля. Обновление может изменить MRC (код инициализации памяти), микрокод CPU, Intel ME, скрытые значения Auto (автоматически) и Memory Fast Boot (быстрый запуск памяти). При одинаковых видимых таймингах результаты обучения после смены прошивки могут различаться. Memory Fast Boot управляет инициализацией памяти в BIOS; «Быстрый запуск» Windows относится к загрузке ОС.

ASUS для Z790 Apex Encore связывает BIOS 2202 с обновлением Intel IPU 2026.1 и совместимостью памяти. Одновременно меняется ME; его новая версия может сохраниться после отката BIOS. В таком случае прежний BIOS работает с обновлённым ME.

Этап	Действие	Фиксируем
До прошивки	Делаем снимки экрана и вручную записываем изменённые параметры	BIOS, ME/CSME, микрокод, MRC/Silicon Init, Memory Fast Boot и обученные значения
Стабильная база	Возвращаем стабильный профиль или JEDEC до прошивки	Контрольный запуск и стабильную работу до обновления
Первый запуск	Выполняем Reset to Defaults и полное обучение на JEDEC	POST-коды, время обучения и применённые значения
Возврат профиля	Вводим сохранённые параметры вручную	Холодный бут, ребут, тест после прогрева и сон
Сравнение	Меняем BIOS при прежнем железе и условиях	Различия ME или микрокода отмечаем как дополнительные изменения программных условий

ПОВТОРНАЯ ПРОВЕРКА ПРОФИЛЯ

Профиль другой версии используем как справочник. После обновления повторяем несколько холодных бутов и обычных ребутов, выполняем комплекс проверок по § 7.9 «Диагностика ошибок» и проверяем стабильность после прогрева.

10.4 Сохранность данных

Нестабильная память может вызвать синий экран, повредить архив, проект, файловую систему или синхронизированную папку. Иногда это происходит без видимого предупреждения. Перед работой с экспериментальным профилем сохраняем отдельную проверенную копию важных данных.

Защищаем	Практическое действие	Проверка
Важные файлы	Схема 3-2-1 или минимум отдельная версия на другом носителе / в облаке	Открываем несколько файлов из копии и проверяем процедуру восстановления
ОС и ключи	Отдельная тестовая установка или образ; ключ BitLocker храним вне стенда	Экспериментируем в отдельной тестовой среде
Прошивку	Прошиваем BIOS на заведомо стабильной памяти и питании	Перед прошивкой включаем стабильный профиль и выполняем необходимое повторное обучение
Результаты	Журналы тестов, WHEA и настройки храним в постоянной папке	После сбоя доступны последние проверенные настройки и результаты

РЕЗЕРВНОЕ КОПИРОВАНИЕ И СИНХРОНИЗАЦИЯ

Синхронизация распространяет изменения между устройствами, включая повреждённую версию файла. Для восстановления сохраняем отдельную резервную копию.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS Z790 Apex Encore: история BIOS; ROG Z790: руководство по BIOS; Intel MRC/FSP; CISA: резервные копии; Microsoft: Windows Backup, восстановление BitLocker и WHEA.

10.5 Производительность в реальных задачах

AIDA64 и Intel MLC показывают изменения пропускной способности и задержек памяти. Прирост FPS, время кадра и скорость архивации проверяем в соответствующих задачах. Эффект зависит от ограничения процессором или видеокартой (CPU/GPU-limit), объёма рабочего набора и фоновой нагрузки.

ТРИ УРОВНЯ ИЗМЕРЕНИЯ

СИНТЕТИКА — AIDA64 / MLC:

пропускная способность, задержка, работа кэша.

ПРИКЛАДНОЙ ТЕСТ — 7-ZIP / CINEBENCH:

совместная работа CPU, кэша и памяти в конкретном алгоритме.

РЕАЛЬНАЯ ЗАДАЧА — ИГРА ИЛИ ПРОЕКТ:

время кадра (frametime), 1% low, время операции и корректность результата.

Метрика	Содержание измерения	Условия сравнения
Read / Write / Copy	Пиковая пропускная способность выбранного пути памяти и кэша	Частоты CPU/Ring, версия программы и условия запуска
Latency, ns	Синтетическая сквозная задержка	Фон Windows, режим энергосбережения и разброс результатов между прогонами
Результат прикладного теста	Производительность системы в конкретном алгоритме	Совместный вклад CPU, кэша и памяти
1% low / frametime	Редкие медленные кадры и плавность сцены с ограничением по CPU	Единая методика расчёта и повторные прогоны: программы могут по-разному определять метрики

ПОРЯДОК СРАВНЕНИЯ ПРОФИЛЕЙ

Сначала подтверждаем изменение в AIDA64/MLC, затем прикладным тестом и реальным сценарием. Для каждого профиля проводим пять прогонов в одинаковых условиях, сравниваем медиану и разброс. В A/B-проверке чередуем порядок профилей, чтобы уменьшить влияние прогрева и фоновой нагрузки.

P1 FPS = 1000 / P99 frametime (мс). Средний FPS для 1% самых медленных кадров — отдельная метрика со своим способом расчёта.

10.6 Назначение профилей

ПОВСЕДНЕВНЫЙ ПРОФИЛЬ:

запас по температуре и напряжению, повторяемый холодный бут, проверка в нескольких тестах и при повседневной работе с данными.

ПРОФИЛЬ ДЛЯ ТЕСТОВ:

стабильность в конкретной короткой задаче. Используем изолированную среду; выводы о стабильности ограничиваем этим тестом.

ПРОФИЛЬ ДЛЯ СНИМКА ЭКРАНА:

POST и фиксация частоты с таймингами. Сохраняем параметры успешного запуска; проверку устойчивости проводим отдельно.

НАЗНАЧЕНИЕ И УСЛОВИЯ

Указываем назначение профиля: повседневная работа, тест или снимок экрана. Одна частота в публикации показывает успешный бут с указанными параметрами. Для оценки результата фиксируем условия, температуры, версию BIOS и пройденные тесты.

УРОВНИ ПОДТВЕРЖДЕНИЯ

POST (начальная самопроверка) < снимок / фиксация результата < стабильность в конкретном тесте < подтверждённая стабильность в повседневной работе.

Стабильность описываем через конкретные проверки и условия работы: «Профиль прошёл перечисленные тесты при указанных настройках и температурах».

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: AIDA64; Intel MLC/XMP; метрики PresentMon/CapFrameX; CPU-Z Validator; правила HWBOT; 7-Zip; техсведения Cinebench 2026.

10.7 Четыре DIMM и большие объёмы

Четыре модуля, дополнительные ранги и большая электрическая ёмкость повышают нагрузку на контроллер и сигнальный тракт. Конфигурацию выбираем под требуемый объём. Для максимальной частоты подходит 2-DIMM / 1SPC-плата, для четырёх модулей (2DPC) — конфигурация из QVL. Бут при заявленных частоте и таймингах проверяем со всеми четырьмя модулями. Для повседневной работы 2DPC закладываем запас: выбираем частоту ниже заявленного потолка.

Число рангов определяется организацией модуля. Комплекты одинакового объёма могут создавать разную нагрузку, поэтому проверяем номер модели, число рангов и фактическую конфигурацию каждого DIMM.

Конфигурация	Приоритет	Практический вывод
2 DIMM / 1DPC / 1R	Частота и запас устойчивости	Наименьшая нагрузка; лучший исходный вариант для высокочастотного разгона
2 DIMM / 1DPC / 2R	Объём с одним DIMM на канал	Дополнительные ранги могут снизить доступную частоту
4 DIMM / 2DPC / 1R	Ёмкость и доступность	Второй модуль на канал уменьшает электрический запас; XMP двух модулей проверяем отдельно в 2DPC
4 DIMM / 2DPC / 2R	Максимальный объём	Самая тяжёлая нагрузка; начинаем с JEDEC и повышаем частоту постепенно
CUDIMM	Чистый тактовый сигнал CK	CKD восстанавливает CK; DQ/DQS требуют обучения, четыре модуля сохраняют повышенную электрическую нагрузку

> **ЗАЯВЛЕННЫЕ СКОРОСТИ РАЗГОНА MSI Z790 GODLIKE MAX**
>
> MSI для MEG Z790 GODLIKE MAX указывает скорости разгона до **7800+ MT/s для 1DPC 1R, 6800+ MT/s для 1DPC 2R, 6400+ MT/s для 2DPC 1R и 6000+ MT/s для 2DPC 2R**. Данные относятся к этой плате и показывают снижение заявленного потолка по мере роста нагрузки.

ПОРЯДОК НАСТРОЙКИ БОЛЬШОГО ОБЪЁМА

1. Выбор объёма.

Покупаем модули под нужный объём одним комплектом. При докупке даже тот же артикул может иметь другую ревизию IC.

2. Проверка QVL.

Сверяем точный номер модели, число модулей, объём, BIOS и рекомендованные слоты.

3. Проверка на JEDEC.

Проверяем исправность всех каналов и модулей перед включением XMP и ручной настройкой напряжений.

4. Подбор частоты.

При сбоях с XMP опускаем частоту на один-два шага, затем подбираем минимальные стабильные напряжения.

5. Настройка таймингов.

Добиваемся повторяемого обучения и бута, затем уменьшаем задержки небольшими группами.

6. Проверка режимов.

Выполняем несколько холодных бутов и ребутов, горячий тест памяти и проверку обычной рабочей нагрузкой.

> **ПРИОРИТЕТ ОБЪЁМА И ЧАСТОТЫ**
>
> Для рабочей станции приоритет — стабильные **128–192 ГБ** на умеренной скорости. Для максимальных MT/s заранее выбираем 2-DIMM / 1SPC-плату и два модуля подходящей организации.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: MSI MEG Z790 GODLIKE MAX: характеристики; Intel Core 14: краткое описание продукта; ASUS/MSI: QVL; Micron: модули DDR5, документация.

10.8 Документирование профиля

Сохраняем настройки, условия и результаты проверки. По этим материалам через месяц восстанавливаем стенд и отслеживаем изменения после обновления BIOS, перемонтажа или замены модулей.

Материал	Содержание	Назначение
Паспорт платформы	CPU-Z CPU/Mainboard, BIOS, микрокод и версия Windows	Связывает профиль с конкретной прошивкой, системой и экземпляром CPU
Memory + SPD	Частота, Gear, основные тайминги и каждый занятый слот SPD	Подтверждает активный режим и точные модели модулей
Полные тайминги	ASRock Timing Configurator или MemTweakIt после бута	Показывают фактически применённые рабочие значения
Sensors (датчики)	HWiNFO Current/Minimum/Maximum: DIMM, телеметрия VDD/VDDQ, CPU/Ring, WHEA	Фиксирует условия, температуру и зарегистрированные события WHEA
BIOS-профиль	Файл на USB и снимки изменённых страниц	Совместимость файла зависит от версии BIOS; снимки сохраняют настройки в читаемом виде
Тесты и бут	Версия, конфигурация, время, результат; холодный бут / ребут	Позволяет повторить проверку в сохранённых условиях

> **АРХИВ ПРОФИЛЯ**
>
> В имени папки указываем дату, частоту, CL, версию BIOS и назначение профиля. Пример: **2026-09-03_8200_C36_BIOS2202_DAILY**. Внутри: BIOS, CPU-Z, SPD, утилита просмотра таймингов, HWiNFO, журналы тестов и короткий README с температурой комнаты, обдувом и последним изменением.

10.9 Доказательная база рекомендаций

Уровень	Основание	Применение
A	Техописание, Intel/JEDEC, руководство, QVL, история выпусков	Фиксируем заявления производителя для конкретной версии
B	Повторяемый A/B-тест на описанном стенде	Сопровождаем практический вывод условиями, несколькими запусками и исходными журналами
C	Несколько независимых результатов сообщества	Формулируем гипотезу для проверки на своём стенде
D	Единичный снимок экрана или пересказ	Проверяем наблюдение; для доказательного вывода требуются описание платформы и методика

> **СТАТУС ВЫВОДОВ**
>
> Вывод подтверждаем повторением результата в описанных условиях. До этого фиксируем результат как наблюдение. Для каждого утверждения указываем основание: спецификация, мой опыт, вывод из теста или гипотеза для проверки.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: ASUS ROG Z790: BIOS и сохранение профилей на USB; Microsoft: WHEA; производители: техописания, руководства, QVL и история BIOS; порядок воспроизведения результатов в этом руководстве.

11 / ФОРМУЛЫ

DDR5/BL16 без CRC. Примеры: 8200 MT/s, CL36/CWL34. Значения таймингов приведены в тактах и служат ориентирами для разгона.

ПЕРВИЧНЫЕ

tCWL = tCL – 2 = 34; tCL, нс = tCL × 2000 / MT/s ≈ 8,78 нс.

tRAS = tRCD(RD) + tRTP — ориентир для раннего чтения; **tRC = tRAS + tRP**.

ВТОРИЧНЫЕ

tWR = 48 — принятая в руководстве разгонная настройка; дальше не снижаем.

tRTP = 12, ниже не снижаем: это минимальный код MR6. На высоких частотах для стабильности может понадобиться **tRTP = 14**.

tRRD_L = tRRD_S + 2|4

tFAW, 1 КБ (x8): 4 × tRRD_S = 4 × 8 = 32.

tFAW, 2 КБ (x16): большее из 4 × tRRD_S и 40 = 40 при RRD_S8.

tRFCpb ≈ tRFC – 30 × MT/s / 2000: при 8200 **688 – 123 = 565**. Оценка для Hynix/FGR, где tRFC означает tRFC2; от tRFC1 так не считаем. **tRFC, такты = tRFC, нс × MT/s / 2000**, округлить вверх. **Сам я оставляю tRFCpb в Auto и не настраиваю его вручную.**

ТРЕТИЧНЫЕ: БАЗОВЫЙ РАСЧЁТ И ПОКАЗАНИЯ УТИЛИТ

Параметр	Расчёт DDR5*	Старый расчёт с пакетом DDR4
tWTR_L	= tWRRD_sg – tCWL – 10	= tWRRD_sg – tCWL – 6
tWTR_S	= tWRRD_dg – tCWL – 10	= tWRRD_dg – tCWL – 6
tWR	= tWRPRE – tCWL – 8	= tWRPRE – tCWL – 4

При CWL34/WRRD_dg52 расчёт DDR5 даёт **8, старый расчёт — 12**. Исторически ошибка WTR была у ASRock, WR — у MemTweakIt; результат зависит от версии программы.

Определения третичных таймингов и рекомендации по их настройке — раздел 3.8.

*CWL берут из контроллера. Поправки: **WR +1 при 2N**, **WTR –1** при длинном окончании сигнала записи. **S ⇔ dg, L ⇔ sg**; WTR относится к переходу запись → чтение и связан с WRRD. RDWR описывает обратный переход: чтение → запись.

Обратно: **tWRRD = tCWL + 10 + tWTR***. При тех же настройках WRRD +1 → WTR +1.

tRDRD_dg = tWRWR_dg = 8 - для DDR5/BL16 в профиле всегда оставляем **8**.

tWRWR_sg = 16 - минимальное эффективное значение по моим тестам; дальнейшее снижение ничего не меняет. **Моё личное исследование.**

ДОПОЛНИТЕЛЬНЫЕ: ПИТАНИЕ И ОБНОВЛЕНИЕ ЯЧЕЕК

tRDPDEN = tMRRPDEN = tCL + 8 + 1 = 45.

tWRPDEN = tWRAPDEN = tCWL + 8 + tWR + 1 = 34 + 8 + 48 + 1 = 91.

tACTPDEN = tPRPDEN = tREFPDEN = 2; tMRWPDEN = tMRD.

tXS = tRFC1; tXS_DLL = tDLLK для обычной DDR5. Эти параметры оставляем Auto.

При **PD = 0** (Power Down Disabled), если режим действительно отключён, **tCKE, tXP и задержки входа в PD не участвуют в этом пути**. **tCKE = 8 — нейтральная настройка; ускорения не даёт.** Можно оставить **Auto**.

Для **tXP** при PD = 1 выбирают большее из **8** тактов и 7,5 нс: при 8200 MT/s минимум составляет **31** такт. Сон и самообновление — отдельные режимы.

OREF_RI = Auto; **0** снимает порог простоя для обновления; обновление данных продолжает работать. Выигрыш проверяем.

tREFI = интервал, мкс × MT/s / 2, округлить вниз. При 8200 и до 85 °C: обычный режим 3,9 мкс → 15 990; FGR 1,95 мкс → 7995. Выше 85 °C интервалы уменьшаются вдвое.

Ступени: 16 383 → 32 767 → 65 535 → 131 071 → 262 143. При 8200: **4,00 → 7,99 → 15,98 → 31,97 → 63,94 мкс**. Шаг поля - 1; потолок **$2^{18} - 1$ (262 143)**. Максимум - при активном обдуве или водяном охлаждении памяти: стабильность сильно зависит от нагрева. Проверять на прогретой памяти.

RTL: ЭМПИРИКА ANTA777

RTL ≈ MT/s / 800 + tCL + 19 = 8200 / 800 + 36 + 19 = 65,25. Ориентир для оценки обучения; значения каждого поля блока RTL проверяют отдельно.

12 / ГЛОССАРИЙ

12.1 СТАНДАРТЫ, ПЛАТФОРМА И КОНТРОЛЛЕР

Базовые термины стандарта и платформы. Английская колонка содержит названия и расшифровки, русская объясняет значение терминов при настройке DDR5.

Термин	Английское название	Объяснение на русском
DDR5	Fifth-Generation Double Data Rate Synchronous Dynamic Random-Access Memory	Пятое поколение синхронной динамической памяти с передачей данных по двум фронтам такта.
SDRAM	Synchronous Dynamic Random-Access Memory	Динамическая память, работа которой синхронизирована тактовым сигналом.
DRAM	Dynamic Random-Access Memory	Энергозависимая память: данные хранятся как заряд в конденсаторах ячеек. Для сохранения данных нужна периодическая регенерация (refresh).
JEDEC	JEDEC Solid State Technology Association; formerly Joint Electron Device Engineering Council	Организация по стандартизации микроэлектроники, выпускающая стандарты DDR5, SPD и связанных компонентов. Современное название — JEDEC Solid State Technology Association; Joint Electron Device Engineering Council — историческая расшифровка аббревиатуры.
JESD79-5	JEDEC Standard 79-5: DDR5 SDRAM	Основной стандарт устройств DDR5; буква и номер версии обозначают редакцию.
MT/s	Megatransfers per Second	Миллион передач данных в секунду по одной линии DQ. Например, DDR5-6400 передаёт 6400 миллионов бит в секунду по каждой линии; пропускная способность всего канала дополнительно зависит от его ширины.
MHz	Megahertz	Мегагерцы: миллион периодов сигнала в секунду. Для DDR5 скорость в MT/s равна удвоенной частоте CK в MHz: DDR5-6400 соответствует CK 3200 MHz.
fCK	Clock Frequency	Частота внешнего тактового сигнала CK микросхем DRAM. Её отличают от частоты контроллера памяти и внутренних тактовых доменов DRAM.
QCLK	Memory Controller Clock	Домен тактирования контроллера Intel. При подтверждённом режиме Gear G период равен tQCLK = G × 2000 / MT/s, нс. Единицы показаний утилиты проверяют отдельно. См. 5.7.
CPU	Central Processing Unit	Процессор; на LGA1700/LGA1851 внутри него расположен контроллер памяти.

Термин	Английское название	Объяснение на русском
Ring	Ring Interconnect	Кольцевое межсоединение ядер, кэша и других блоков CPU на рассматриваемых платформах LGA1700. Контроллер памяти (IMC) представляет собой отдельный блок процессора.
IMC	Integrated Memory Controller	Встроенный в CPU контроллер: принимает запросы, планирует DRAM-команды и обслуживает каналы памяти.
MC	Memory Controller	Блок контроллера памяти Intel; MC0/MC1 — его индексы. Обозначения MC/C в ATC разобраны в 5.7. В BIOS сокращение MC также входит в название MC/VDD2.
Intel ME	Intel Management Engine	Подсистема управления платформой Intel со своей прошивкой; ME в записи BIOS/ME относится к ней.
MRC	Memory Reference Code	Код Intel в составе BIOS, который при буте инициализирует контроллер памяти (IMC) и физический интерфейс (PHY), а также управляет обучением памяти.
FSP	Firmware Support Package	Пакет Intel для инициализации платформы. Публичные поля FSP задают настройки, но не раскрывают весь алгоритм MRC.
PHY	Physical Layer	Физический уровень интерфейса: передатчики, приёмники и средства настройки задержек и калибровки сигнала.
BIOS	Basic Input/Output System	Привычное название прошивки материнской платы и её меню настроек. Современные платы обычно используют UEFI.
UEFI	Unified Extensible Firmware Interface	Интерфейс между операционной системой и прошивкой платформы. Из среды UEFI также запускается MemTest86.
POST	Power-On Self-Test	Начальная самопроверка после включения; успешный POST еще не доказывает стабильность.
POR	Plan of Record	Официально поддерживаемый Intel режим для конкретного числа DIMM, рангов и скорости.
SKU	Stock Keeping Unit	Учётное обозначение товарной позиции. Один SKU не гарантирует неизменность DRAM IC во всех партиях; аппаратную ревизию проверяют отдельно.
Microcode	Processor Microcode	Низкоуровневый код, управляющий частью операций CPU. Его обновления загружаются BIOS/UEFI или ОС и могут менять поведение процессора.

Термин	Английское название	Объяснение на русском
LGA	Land Grid Array	Тип корпуса микросхемы с контактными площадками. Для процессоров LGA1700 и LGA1851 ответные контакты находятся в разъёме материнской платы.
PCH	Platform Controller Hub	Чипсет платформы, обслуживающий периферию. Контроллер памяти (IMC) расположен в процессоре и выполняет отдельные функции.
QVL	Qualified Vendors List	Список модулей и комплектов памяти, проверенных производителем платы или системы. Результат относится к указанным артикулам, числу модулей и условиям проверки, включая поколение CPU и версию BIOS, если они приведены.
OC	Overclocking	Работа компонентов за пределами штатного режима для конкретной конфигурации. Использование XMP также относится к разгону.
tQCLK	Memory Controller Clock Period	Длительность одного такта контроллера памяти QCLK. Если для режима подтверждено соотношение tQCLK = Gear × tCK, её можно рассчитать по этой формуле. Единицы и масштаб показаний утилиты проверяют отдельно.
BCLK	Base Clock	Базовая опорная частота, от которой с помощью множителей получают рабочие частоты узлов системы. Набор связанных с ней частот зависит от платформы.
RAM	Random-Access Memory	Оперативная память для данных и программ, с которыми работает система. В рассматриваемых компьютерах её роль выполняет динамическая память DRAM.
LPDDR	Low-Power Double Data Rate	Семейство динамической памяти с пониженным энергопотреблением. У него собственные интерфейс и процедуры настройки; применимость описаний LPDDR к настольной DDR5 проверяют отдельно.
D2D	Die-to-Die	Соединение для обмена данными между кристаллами процессора. На рассматриваемой платформе Intel Core Ultra 200S частоту D2D можно настраивать отдельно.
Uncore	Uncore	Узлы процессора за пределами вычислительных ядер, например контроллер памяти, общий кэш и межсоединения. Состав этих узлов и доступные настройки зависят от архитектуры.

Термин	Английское название	Объяснение на русском
GPU	Graphics Processing Unit	Графический процессор: выполняет обработку графики и другие поддерживаемые параллельные вычисления. Может быть встроен в процессор или находиться на отдельной видеокарте.
Workstation	Workstation	Рабочая станция — компьютер для профессиональных задач: проектирования, рендеринга или расчётов. Поддержку системной ECC определяет конкретная платформа.

РАЗБОР RTL/IOL И ПРИМЕРЫ РАСЧЁТА — РАЗДЕЛ 5.7

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel: контроллер памяти, микрокод, FSP; JEDEC DDR5; главы 01-10, 14.

12.2 МОДУЛЬ, ОРГАНИЗАЦИЯ И ТОПОЛОГИЯ

Форматы модулей, служебные микросхемы и устройство DRAM. Ранговость, размещение корпусов и топология рассмотрены ниже.

Термин	Английское название	Объяснение на русском
DIMM	Dual In-line Memory Module	Модуль памяти с электрически независимыми контактами на двух сторонах печатной платы. В настольных DDR5 используется полноразмерный 288-контактный DIMM; компактный формат обозначается SO-DIMM.
UDIMM	Unbuffered Dual In-line Memory Module	Обычный небуферизованный настольный модуль; команды поступают к DRAM без регистрового буфера.
SO-DIMM	Small Outline DIMM	Компактный модуль памяти для ноутбуков и малых систем; стандартный DDR5 SO-DIMM имеет 262 контакта.
RDIMM	Registered DIMM	Модуль с регистровым буфером команд, адресов и тактового сигнала; применяется на совместимых серверных платформах.
CUDIMM	Clocked Unbuffered Dual In-line Memory Module	UDIMM с отдельным драйвером CKD, восстанавливающим тактовый сигнал.
CKD	Clock Driver	Драйвер тактового сигнала на CUDIMM: принимает CK от контроллера и формирует выходные сигналы для DRAM. В режимах Single PLL и Dual PLL использует фазовую автоподстройку, в Bypass передаёт тактирование в обход PLL.
RCD	Registering Clock Driver	Отдельная микросхема на RDIMM, которая буферизует команды, адреса и тактовый сигнал CK между контроллером памяти и микросхемами DRAM.

Термин	Английское название	Объяснение на русском
PMIC	Power Management Integrated Circuit	Контроллер на модуле, формирующий VDD, VDDQ и VPP. Диапазон напряжений и управление зависят от модели и конфигурации.
SPD	Serial Presence Detect	Набор данных в энергонезависимой памяти модуля: организация DRAM, допустимые параметры JEDEC и сведения о модуле. Здесь же могут храниться расширения XMP/EXPO. Чтение SPD показывает записанные возможности и профили, а текущий режим проверяют отдельно.
SPD Hub	Serial Presence Detect Hub	Служебная микросхема DDR5 с энергонезависимой памятью SPD и мостом между внешней шиной I^2C/I^3C и локальными устройствами модуля, например PMIC. Может содержать температурный датчик; его показания относятся к месту установки SPD Hub.
EEPROM	Electrically Erasable Programmable Read-Only Memory	Перезаписываемая энергонезависимая память, в которой хранится SPD.
XMP	Extreme Memory Profile	Профиль Intel для разгона памяти с заданными частотой, таймингами и напряжениями.
EXPO	Extended Profiles for Overclocking	Профиль разгона памяти AMD для совместимой платформы. Поддержка профиля и работа конкретного комплекта зависят от CPU, платы и BIOS.
PCB	Printed Circuit Board	Печатная плата. В руководстве это PCB модуля памяти или материнской платы; разводка проводников влияет на сигнал.
IC	Integrated Circuit	Интегральная схема. В описании модуля часто означает готовую микросхему. Число кристаллов внутри корпуса — отдельная характеристика микросхемы.
Chip	Chip / Microchip	Разговорное обозначение кристалла или готовой микросхемы DRAM. При подсчёте нужно уточнять: корпуса или кристаллы.
Package	IC Package	Корпус микросхемы с одним или несколькими кристаллами и внешними контактами. В рассмотренных корпусах DRAM подложка соединяет кристаллы с контактами, а защитный материал закрывает их. При подсчёте корпусов считают отдельные распаянные компоненты.
Substrate	Package Substrate	Маленькая плата внутри корпуса: несёт кристалл и соединяет его с внешними контактами. Отличается от PCB модуля.

Термин	Английское название	Объяснение на русском
FBGA	Fine-Pitch Ball Grid Array	Корпус с массивом шариковых контактов малого шага снизу. Число кристаллов и организация по рангам — отдельные характеристики.
Die	Semiconductor Die	Кристалл кремния, на котором изготовлена схема DRAM: ячейки памяти и управляющие цепи.
Density	DRAM Die Density	Ёмкость одного кристалла DRAM, обычно указанная в Гбит. Она отличается от ёмкости готового модуля в ГБ и учитывается при выборе нормативов refresh.
SDP / DDP	Single-Die Package / Dual-Die Package	SDP — корпус с одним кристаллом, DDP — с двумя. Число рангов зависит от организации кристаллов и способа их выбора.
MMR	Hynix MMR (Device Designation)	Обозначение Hynix из примера RAMGuide: два кристалла MFR (ревизия DRAM) по 4 Гбит в корпусе DDP. Обозначение описывает микросхему; ранговость модуля рассматривается отдельно.
Low-loss	Low-Loss PCB Material	Материал печатной платы с малыми потерями сигнала. Возможную скорость памяти оценивают для конкретной конфигурации; одного свойства материала для такой оценки недостаточно.
Back-drilling	Back Drilling	Удаление неиспользуемой части металлизации переходного отверстия для уменьшения отражений сигнала.
RDL	Redistribution Layer	Слой переразводки контактных площадок кристалла. В рассмотренных DRAM-корпусах перенос к краям облегчает проволочные соединения.
Monolithic DDR5	Monolithic DDR5 SDRAM	DDR5 с одним кристаллом DRAM в корпусе, без 3DS-стека. Термин описывает конструкцию микросхемы. Число микросхем и рангов DIMM указывают отдельно.
3DS / TSV	3D-Stacked DRAM / Through-Silicon Via	3DS — стек кристаллов DRAM, соединённых через кремний вертикальными проводниками TSV. Обозначение DDP указывает лишь на два кристалла в корпусе; способ их соединения требует отдельного уточнения.
SS / DS	Single-Sided / Double-Sided	Корпуса DRAM распаяны на одной либо обеих сторонах PCB. Расположение корпусов по сторонам PCB и организация по рангам — отдельные характеристики модуля.

Термин	Английское название	Объяснение на русском
Rank	Memory Rank	Группа DRAM, совместно выбираемая Chip Select; в DDR5 выбор выполняется по субканалам. Принадлежность к рангу определяется электрической организацией; расположение корпусов по сторонам PCB описывают отдельно.
Rank Interleaving	Rank Interleaving	Чередование обращений к разным рангам: пока один ранг занят внутренней операцией, контроллер может обращаться к другому.
1R / 2R; R0 / R1	Single / Dual Rank; Rank 0 / Rank 1	1R обозначает один ранг на модуле, 2R — два. R0 и R1 — номера рангов: у 1R есть R0, у 2R — R0 и R1.
x4 / x8 / x16	DRAM Device Data Width	Ширина интерфейса отдельной микросхемы DRAM: 4, 8 или 16 линий данных DQ. Плотность кристалла, число корпусов и число рангов задают отдельно. См. 2.7.
1Rx4 / 1Rx8 / 1Rx16 / 2Rx8	Rank Count and Device Width	Запись числа рангов и ширины микросхем DRAM. Например, 1Rx16 — один ранг на микросхемах x16; 2Rx8 — два ранга на микросхемах x8. Цифра после x обозначает ширину интерфейса одной микросхемы.
Matched Kit	Factory-Matched Memory Kit	Комплект, проверенный производителем именно в заявленном составе.
Speed Bin	Speed Grade / Component Binning	Класс микросхем памяти по результатам отбора для определённого режима работы. XMP задаёт профиль разгона; предельные возможности конкретной памяти определяют отдельно.
Non-binary DDR5	Non-Binary-Density DDR5	DDR5 с плотностью кристалла, не равной степени двойки; например, 24 Гбит с типичными модулями 24 и 48 ГБ.
Channel	Memory Channel	Независимый логический путь обмена между контроллером памяти (IMC) и памятью.
Subchannel	Independent Memory Subchannel	Один из двух независимых подканалов DDR5 DIMM, каждый с 32 битами данных. При системной ECC добавляются проверочные разряды; их число зависит от организации модуля. Оба подканала относятся к одному каналу памяти CPU.
DPC / 1DPC / 2DPC	DIMMs Per Channel / One or Two DIMMs Per Channel	Количество фактически установленных модулей на канал; ключевой показатель текущей электрической нагрузки.
SPC / 1SPC / 2SPC	Slots Per Channel / One or Two Slots Per Channel	Количество физически разведённых слотов на канал памяти. Это свойство материнской платы; число установленных модулей на канал описывает DPC.

Термин	Английское название	Объяснение на русском
true-1DPC	Community/Vendor Shorthand for True One-Slot-Per-Channel Topology	Неофициальное обозначение платы с одним слотом на канал. В руководстве число разведённых слотов на канал обозначается SPC, число установленных модулей на канал — DPC.
2-DIMM / 4-DIMM	Two / Four DIMM Slots	Число слотов платы; 2-DIMM модели обычно оптимизированы для разгона памяти.
Point-to-point	Point-to-point Memory Topology	Соединение контроллера с единственным разъёмом DIMM на канал. Такая разводка на уровне слотов соответствует 1SPC.
Daisy Chain	Daisy-Chain Memory Topology	Последовательная разводка слотов канала, обычно предпочтительная при одном DIMM на канал.
T-topology	T-Topology Memory Routing	Разветвлённая разводка с близкими длинами проводников до двух слотов, рассчитанная на 2SPC.
Gear	Memory Controller Gear Ratio	Соотношение тактовых частот IMC : DRAM. G1 = 1:1, G2 = 1:2, G4 = 1:4. На рассматриваемых Intel-платформах с DDR5 используются G2/G4; G1 приведён для сравнения с DDR4. См. 2.2.
OEM / reference	Original Equipment Manufacturer / Reference Module	Категория поставки, которой в каталоге обозначены настольные модули и референсные позиции. Тип IC, ранговость и поддержку системной ECC указывают отдельно.
P/N / SKU	Part Number / Stock Keeping Unit	P/N — артикул производителя; SKU — код товарной позиции. Для комплекта важен полный код с суффиксом: он отличает ёмкость, профиль и исполнение.
BOM	Bill of Materials	Состав компонентов изделия. Производитель может менять его между партиями при сохранении товарного SKU.
DRAM revision	DRAM Die Revision	Ревизия кристалла DRAM. Буквы A-die, M-die и другие имеют смысл вместе с производителем, поколением и плотностью. В принятом в этом руководстве коде S32M обозначены Samsung DDR5, 32 Гбит и M-die; ревизию PCB и скоростной класс указывают отдельно.
Native JEDEC	Native JEDEC Speed Grade	Штатный скоростной класс компонента или модуля по JEDEC, без XMP/EXPO. Для готового модуля сверяют его спецификацию и SPD: скоростной класс отдельного кристалла сам по себе не устанавливает режим модуля. Фактический режим также зависит от поддержки CPU, платы и состава памяти.

Конструкция корпуса, ранговость и размещение компонентов на сторонах PCB — разные свойства. Далее рассмотрены ширина DRAM, каналы и разводка слотов.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: JEDEC DDR5; AMD EXPO; документация производителей модулей; главы 02, 14.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Micron: Monolithic RDIMM; Invensas: 3D Packaging; главы 02, 14.

12.3 КОМАНДЫ, ШИНЫ И СИГНАЛЬНЫЕ ПУТИ

Команды DDR5 работают с банками, строками и столбцами. Обозначения шин помогают различать пути передачи команд, адресов и данных.

Термин	Английское название	Объяснение на русском
Bank	Memory Bank	Независимый массив строк и столбцов внутри DRAM.
Bank Group	Bank Group	Группа банков; переходы внутри одной и между разными группами имеют разные тайминги.
Row	Memory Row	Строка ячеек, открываемая командой ACT в буфере строки.
Row Buffer	DRAM Row Buffer	Буфер банка, в котором находятся данные строки, открытой командой ACT. Команды READ и WRITE обращаются к выбранным столбцам этой строки; закрытие выполняет PRE.
DRAM Page	DRAM Page / Page Size	Данные одной строки банка в отдельной микросхеме DRAM. Для рассмотренных в 2.7 устройств плотностью 16 Гбит размер страницы составляет 1 КБ у x4/x8 и 2 КБ у x16.
Column	Memory Column	Часть открытой строки, к которой обращаются команды чтения или записи.
ACT	Activate	Команда, которая открывает выбранную строку банка перед доступом к данным.
PRE	Precharge	Команда, которая закрывает открытую строку и подготавливает банк к следующей активации.
PREab	Precharge All Banks	Команда, которая закрывает открытые строки во всех банках выбранного ранга.
PREpb / PREsb	Precharge Per Bank / Same Bank	Команда PREpb закрывает выбранный банк; PREsb — банк с одинаковым номером во всех группах банков выбранного логического ранга.
RD	Read Command	Команда чтения данных из открытой строки.
WR	Write Command	Команда записи данных в открытую строку.
CAS	Column Address Strobe	Историческое название фазы обращения к столбцу памяти; сохраняется в названиях CL и таймингов CAS-to-CAS.
RAS	Row Address Strobe	Историческое название фазы обращения к строке памяти; сохраняется в названиях таймингов ACT/PRE.

Термин	Английское название	Объяснение на русском
DQ	Data Input/Output	Двунаправленные линии данных: при записи передатчиком служит контроллер памяти, при чтении — DRAM.
DQS	Data Strobe	Дифференциальный строб данных. Передаётся вместе с DQ и задаёт моменты захвата данных приёмником.
CA	Command and Address	Шина команд и адресов от контроллера к модулю.
CK	Clock	Основной дифференциальный тактовый сигнал памяти.
CS / CS0 / CS1	Chip Select / Chip Select 0 / 1	Сигнал выбора ранга: CS0 соответствует R0, CS1 — R1. В DDR5 сигналы выбора независимы для каждого субканала.
CKE	Clock Enable (Legacy/Controller Term)	Историческое имя и термин контроллера; отдельного вывода CKE у DDR5 нет.
CMD / CTL	Command / Control	Обобщенные обозначения командных и управляющих сигналов.
MR / MRW / MRR	Mode Register / Mode Register Write / Read	MR — регистр режима DRAM; MRW и MRR — команды записи и чтения этих регистров. Через них задают режимы и читают предусмотренные устройством сведения. SPD хранит отдельный набор данных о модуле.
WCK	Data Clock (LPDDR5)	Дифференциальный тактовый сигнал интерфейса данных LPDDR5, используемый при чтении и записи. В настольной DDR5 отдельного WCK нет.
BL16	Burst Length 16	Пакет из 16 передач данных; базовая длина пакета для DDR5.
BC8	Burst Chop 8	Сокращённый пакет из восьми передач данных, то есть половины BL16; применяется в поддерживаемых сценариях.
Bus	Electrical Bus	Совокупность сигнальных линий для передачи данных, адресов, команд или тактового сигнала.
Turnaround	Bus Turnaround	Разворот направления или смена адресата шины, требующая защитного интервала.
RMW	Read-Modify-Write	Чтение блока, изменение его части и последующая обратная запись.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix DDR5 32Gb Rev.1.2: команды PRE/MR; Intel; главы 02-03.

12.4 ПЕРВИЧНЫЕ, ВТОРИЧНЫЕ И ТРЕТИЧНЫЕ ТАЙМИНГИ

Буква t означает time (время). Основные поля таймингов BIOS обычно заданы в тактах CK; служебные поля могут иметь другие единицы. Одинаковое число тактов CK при разной скорости памяти соответствует разному времени в наносекундах.

Термин	Английское название	Объяснение на русском
Timing	Memory Timing	Временной параметр памяти: задержка, длительность или интервал между событиями.
tCK	Clock Period	Длительность одного физического такта: tCK, нс = 2000 / MT/s.
tCL	CAS Latency	Задержка от команды READ до появления первых данных.
tRCDRD	Row-to-Column Delay for Read	Минимальный интервал от ACT до команды READ в том же банке.
tRCDWR	Row-to-Column Delay for Write	Минимальный интервал от ACT до команды WRITE в том же банке.
tRP	Row Precharge Time	Минимальный интервал от PRE до следующей ACT в том же банке.
tRAS	Row Active Time	Минимальное время, в течение которого строка остается открытой.
tRC	Row Cycle Time	Расчётное время цикла строки: tRC = tRAS + tRP. Фактический интервал ACT→ACT для того же банка может быть длиннее из-за последней команды READ/WRITE. См. 3.3.
CR / 1N / 2N / 3N	Command Rate / One-N / Two-N / Three-N	Настройка выдачи команд и растягивания командных циклов (command stretch). В описанном меню Z790 доступны 1N/2N/3N, в Z890 — 1N/2N. Из-за Gear цифра CR не равна длительности каждой команды DDR5. См. 2.2.
N:1	N-to-One Command Stretch	Режим растягивания командных циклов, описанный в руководстве для Z790. По Intel: N допустимых командных циклов подряд, затем один пропуск; N = 1–7. ASUS описывает N to 1 ratio как число пропусков между циклами, поэтому направление настройки по одному числу не определяют. См. 2.2.
tCWL	CAS Write Latency	Задержка от WRITE до начала передачи данных.
tWR	Write Recovery Time	Минимальный интервал от конца пакета данных записи до PRE того же банка.
tRTP	Read-to-Precharge Time	Минимальный интервал от команды READ до PRE того же банка.
tRRD_S / L	Row-to-Row Delay Short / Long	Интервал между командами ACT: S — для разных групп банков, L — для одной группы банков.

Термин	Английское название	Объяснение на русском
tFAW	Four Activate Window	Минимальный интервал между первой и пятой командами ACT одного ранга. Это ограничение проверяется для каждой последовательности из пяти ACT.
tCCD_S / L	CAS-to-CAS Delay Short / Long	Интервал между столбцовыми командами: S — для разных групп банков, L — для одной группы.
tCCD_L_WR	Long CAS-to-CAS Write Delay	Интервал WR → WR в одной группе банков, когда второй WRITE требует чтения-изменения-записи.
tCCD_L_WR2	Long CAS-to-CAS Write Delay 2	Сокращённый интервал WR → WR в одной группе банков, когда второй WRITE не требует чтения-изменения-записи.
tWTR_S / L	Write-to-Read Delay Short / Long	Интервал от конца пакета данных записи до команды READ: S — для другой группы банков, L — для той же.
tRDRD	Read-to-Read Delay	Семейство третичных таймингов, задающих интервалы между двумя чтениями.
tWRWR	Write-to-Write Delay	Семейство третичных таймингов, задающих интервалы между двумя записями.
tRDWR	Read-to-Write Delay	Семейство минимальных интервалов от команды READ до команды WRITE; вариант зависит от группы банков, ранга и модуля.
tWRRD	Write-to-Read Delay	Семейство минимальных интервалов от команды WRITE до команды READ; вариант зависит от группы банков, ранга и модуля.
S / L	Short / Long	Индексы короткого и длинного вариантов временного интервала. Точный смысл зависит от семейства таймингов. Длина проводников относится к отдельным характеристикам разводки.
sg / dg	Same Group / Different Group	Индексы таймингов: sg — та же группа банков, dg — другая группа.
dr / dd	Different Rank / Different DIMM	Индексы таймингов: dr — другой ранг того же DIMM; dd — другой DIMM на той же шине памяти.
tRCD	Row-to-Column Delay	Общее обозначение задержки от команды активации строки ACT до команды чтения или записи. Для чтения используется tRCDRD, для записи — tRCDWR. Связь этих значений зависит от BIOS/MRC.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Документация JEDEC DDR5, Intel и производителей DRAM; главы 01-10, 14.

12.5 REFRESH И СЛУЖЕБНЫЕ ИНТЕРВАЛЫ

Refresh (регенерация) восстанавливает заряд ячеек. При росте tREFI регенерация происходит реже; при снижении tRFC её паузы становятся короче. Это уменьшает временные затраты, но повышает чувствительность к температуре и способности конкретных IC удерживать данные.

Термин	Английское название	Объяснение на русском
Refresh	DRAM Refresh	Периодическое восстановление заряда в ячейках памяти.
Retention	Data Retention	Способность ячейки удерживать данные между операциями регенерации.
REFab	All-Bank Refresh	Регенерация очередной части строк во всех банках выбранного логического ранга.
REFsb	Same-Bank Refresh	Регенерация очередной части строк в банках с одинаковым номером во всех группах выбранного логического ранга. В DDR5 применяется в режиме FGR.
PBR	Per-Bank Refresh	Общее имя частичной регенерации. В BIOS Intel Per Bank может соответствовать REFsb; это не обязательно обновление одного банка.
FGR	Fine Granularity Refresh	Режим DDR5 с вдвое меньшим средним интервалом между REFab и сокращённым tRFC2; также разрешает REFsb.
tREFI	Refresh Interval Time	Заданный средний интервал между регенерациями. Допустимый максимум зависит от режима и температуры DRAM; увеличение интервала снижает частоту обновлений и запас сохранности данных.
tRFC	Refresh Cycle Time	Длительность цикла регенерации, которую задаёт BIOS/MRC. Значение в тактах переводят в наносекунды с учётом текущей скорости памяти.
tRFC1 / tRFC2	Refresh Cycle Time 1 / 2	Нормативы длительности REFab в обычном режиме и в режиме 2x FGR соответственно. Стандарт различает эти режимы; набор доступных полей зависит от реализации BIOS.
tRFCsb / tRFCpb	Same-Bank / Per-Bank Refresh Cycle Time	tRFCsb — минимальное время завершения REFsb до повторного доступа к обновляемым банкам. tRFCpb — имя поля контроллера; его соответствие tRFCsb зависит от платформы.
tREFIx9	Controller Refresh Deadline	Предел контроллера на интервал между регенерациями одного ранга. В рассмотренных регистрах Intel измеряется блоками по 1024 DCLK; имя поля не задаёт универсальную формулу.

Термин	Английское название	Объяснение на русском
Power Down	DRAM Power-Down State	Состояние пониженного потребления с деактивацией части входных и выходных буферов DRAM. Для регенерации память должна выйти из него и получить команды контроллера.
Self Refresh	Self-Refresh Mode	Энергосберегающий режим, в котором DRAM сама выполняет регенерацию по внутреннему таймеру. Питание сохраняется; внешний тактовый сигнал может быть остановлен.
tCKE	Clock-Enable Timing (Controller Field)	Историческое имя поля контроллера Intel, задающего минимальные интервалы Power Down → активное состояние и обратно. Отдельного вывода CKE у DDR5 нет.
tXP	Exit Power-Down Time	Задержка выхода из Power Down до следующей команды.
tXS	Exit Self-Refresh Time	Задержка выхода из Self Refresh.
tXS_DLL / tDLLK	Exit Self-Refresh DLL / DLL Locking Time	После Self Refresh команды, которым нужна DLL, ждут её готовности: tXS_DLL = tDLLK. Это отдельное условие от tXS.
tRDPDEN	Read-to-Power-Down Entry Delay	Интервал от READ до входа в Power Down.
tWRPDEN	Write-to-Power-Down Entry Delay	Интервал от WRITE до входа в Power Down.
tMRD / tMOD	Mode-Register Delay / Update Delay	Интервалы между служебными командами и применением регистра режима.
tMRR	Mode Register Read Command Period	Минимальный интервал между командами чтения регистра режима MRR.
ZQ Calibration	Impedance Calibration against ZQ	Калибровка сопротивлений выходных драйверов и встроенной терминации DRAM по внешнему резистору ZQ.
tZQCSPeriod	ZQ Calibration Period (BIOS Field)	Период повторения ZQ-калибровки в обозначениях BIOS. Последовательность операций и единицы поля зависят от платформы.
tZQOPER	ZQ Calibration Timing (BIOS Field)	Платформенное поле задержки ZQ-калибровки. Его связь с длительностями tZQCAL и tZQLAT в DDR5 зависит от реализации BIOS/MRC.
RFM	Refresh Management	Механизм дополнительной регенерации при частых активациях. Длительность обычного цикла регенерации по-прежнему задаёт tRFC.
tRFM	Refresh Management Cycle Time	Минимальная длительность цикла дополнительной регенерации RFM.

Термин	Английское название	Объяснение на русском
tRPab	All-Bank Precharge Time	Интервал после PREab. Область применения поля проверяют по контроллеру; не подменяют автоматически настройкой tRP.
tCA2CS	Command/Address-to-Chip-Select Delay	Служебный интервал между трактом CA и выбором CS.
Vendor fields	Controller/Vendor-Specific Timing Fields	Поля таймингов, специфичные для контроллера или производителя платы, например tSR, tOSCO и tXPDLL. Их смысл уточняют по документации. Без конкретной задачи настройки сохраняют Auto.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix DDR5 32Gb Rev.1.2: Mode Register Timing, Self Refresh; Intel; глава 03.

12.6 НАПРЯЖЕНИЯ И ДОМЕНЫ ПИТАНИЯ

Название VDDQ встречается у разных физических линий питания. Записывайте его вместе с источником измерения и платформой.

Термин	Английское название	Объяснение на русском
Rail	Power Rail	Отдельная линия, по которой питание поступает к определённому узлу или группе цепей.
DRAM VDD	DRAM Core Supply Voltage	Напряжение питания массива и внутренних периферийных цепей микросхем DRAM.
DRAM VDDQ	DRAM I/O Supply Voltage	Напряжение питания цепей ввода-вывода микросхем DRAM, штатно 1,1 В для DDR5. Это линия на стороне памяти; CPU VDDQ TX питает передатчик со стороны процессора.
CPU VDDQ TX	CPU Transmit I/O Supply Voltage	Напряжение питания передатчика интерфейса памяти внутри CPU. DRAM VDDQ питает интерфейс данных со стороны модуля.
MC VDD / VDD2	Memory-Controller I/O Supply Voltage	Названия напряжения питания интерфейса контроллера памяти (IMC), принятые на разных платформах. В этом контексте оба обозначения относятся к одной линии питания.
SA / VCCSA	System Agent Supply Voltage	Напряжение питания системного агента Intel. Влияние его настройки на достижимую скорость памяти зависит от конкретной системы.
VPP	DRAM Wordline Pump Supply Voltage	Напряжение питания цепей активации строк DRAM, штатно около 1,8 В.
VDDIO	Input/Output Supply Voltage	Общее обозначение напряжения питания цепей ввода-вывода конкретного узла.
VLDO	Low-Dropout-Regulator Output Voltage	Выходное напряжение локального линейного стабилизатора, например внутри SPD Hub.

Термин	Английское название	Объяснение на русском
LDO	Low-Dropout Regulator	Линейный стабилизатор, которому для поддержания заданного выхода достаточно небольшой разницы между входным и выходным напряжениями. Минимальную допустимую разницу называют dropout; она зависит от тока нагрузки и условий работы.
IVR	Integrated Voltage Regulator	Встроенный регулятор напряжения процессора.
PMIC Sync All	Synchronize All PMICs	Режим применения одинаковых настроек ко всем PMIC установленных модулей памяти.
Per-PMIC	Per-Power-Management-IC Control	Раздельная настройка PMIC каждого модуля.
High DRAM Voltage	Extended DRAM-Voltage Range Mode	Режим расширенного диапазона VDD/VDDQ для совместимых PMIC. Значения напряжений задают отдельно.
VOUT	Voltage Output	Выходное напряжение регулятора; в программе мониторинга — его телеметрическое показание.
VID	Voltage Identification	Код запроса напряжения к регулятору, часто отображаемый утилитой уже в вольтах. VID описывает запрос; фактическое напряжение в точке измерения зависит также от нагрузки, линии питания и настроек регулятора.
SVID	Serial Voltage Identification	Цифровой интерфейс управления и телеметрии питания Intel.
LLC	Load-Line Calibration	Коррекция просадки напряжения под нагрузкой; агрессивная настройка LLC может вызывать выбросы напряжения.
PLL	Phase-Locked Loop	Контур синхронизации и восстановления частоты и фазы сигнала.
DLL	Delay-Locked Loop	Контур выравнивания задержек без синтеза новой частоты.
TDDB	Time-Dependent Dielectric Breakdown	Зависящий от времени пробой диэлектрика: повреждение изоляции при длительном электрическом стрессе.
ppm	Parts Per Million	Миллионная доля; 1 ppm = 1 из 1 000 000. На графике TI это расчётная доля отказов.
TCASE	DRAM Package Case Temperature	Температура корпуса DRAM в заданной точке измерения. Датчик SPD Hub измеряет температуру в другой точке модуля; для определения TCASE требуется соответствующее измерение корпуса DRAM.

Термин	Английское название	Объяснение на русском
VRM	Voltage Regulator Module	Система питания процессора или другого узла. Одного числа фаз и номиналов силовых сборок недостаточно, чтобы оценить возможности разгона памяти.
PWM	Pulse-Width Modulation	Широтно-импульсная модуляция: управление сигналом путём изменения длительности импульсов. PWM-контроллер использует этот принцип для управления фазами преобразователя питания.
SPS	Smart Power Stage	Интегрированная силовая сборка с драйвером и защитой. Номинальный ток относится к этой сборке; допустимый ток всей платы оценивают отдельно.
PMIC5120	JEDEC PMIC5120	Класс PMIC для клиентской DDR5 по JEDEC; пример — Renesas RRG5332. Класс PMIC и ревизия кристалла — отдельные характеристики.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Документация JEDEC DDR5, Intel и производителей DRAM; главы 01-10, 14.

12.7 ТЕРМИНАЦИЯ И КАЧЕСТВО СИГНАЛА

ODT, сопротивление драйвера и Vref определяют электрические условия приёма сигнала. При настройке подбирают значения, которые сохраняют качество сигнала и запас во всех состояниях шины.

Термин	Английское название	Объяснение на русском
ODT	On-Die Termination	Согласование линии резисторами, встроенными в кристалл. Выбор активной терминации зависит от направления передачи и состояния ранга.
RTT	Termination Resistance	Обозначение сопротивления встроенной терминации (ODT).
RTT_NOM	Nominal Termination Resistance	В DDR5 — номинальное сопротивление терминации данных на нецелевом ранге, когда контроллер задействует NT ODT: RTT_NOM_RD при чтении и RTT_NOM_WR при записи на другом ранге.
RTT_WR	Write Termination Resistance	Номинал терминации данных целевого ранга при записи. В DDR5 управляется командами и регистрами режима; терминация DQS настраивается отдельно.
RTT_PARK	Park Termination Resistance	Базовая терминация DQ в состоянии парковки. Её применение определяется командами и приоритетами состояний ODT.
RON	Driver On-Resistance	Выходное сопротивление активного передатчика.
PU / PD	Pull-Up / Pull-Down	Верхняя и нижняя части драйвера или терминации.

Термин	Английское название	Объяснение на русском
Vref	Reference Voltage	Опорное напряжение для различения логического нуля и единицы.
VrefDQ	Data Reference Voltage	Опорное напряжение для приёма сигналов данных DQ.
VrefCA	Command/Address Reference Voltage	Опорное напряжение для приёма командно-адресных сигналов CA.
VrefCS	Chip-Select Reference Voltage	Опорное напряжение для приёма сигнала выбора кристалла CS. VrefCS, VrefCA и VrefDQ относятся к разным сигналам; настройка VrefCS доступна при наличии соответствующего параметра платформы.
Drive Strength	Transmitter Drive Strength	Способность выходного каскада управлять электрической нагрузкой сигнальной линии. Подходящую настройку выбирают по качеству сигнала в конкретной конфигурации.
Power Training	DDR I/O Power Training	Этап MRC, на котором подбираются ODT, сила драйверов и настройки связанных буферов, чтобы снизить энергопотребление интерфейса DDR I/O и сохранить рабочий запас.
Slew Rate	Signal Slew Rate	Скорость изменения уровня сигнала при нарастании и спаде.
EQ	Equalization	Компенсация зависящих от частоты потерь и искажений канала.
CTLE	Continuous-Time Linear Equalizer	Линейный эквалайзер непрерывного времени в приёмнике.
DFE	Decision-Feedback Equalization	Коррекция искажений по ранее принятым символам.
DCC	Duty-Cycle Correction	Коррекция коэффициента заполнения CK, DQS, DQ и других сигналов PHY.
DCA	Duty-Cycle Adjuster / Adjustment	Настройка коэффициента заполнения выходных сигналов DQ и DQS в DRAM через регистры режима.
PVT	Process, Voltage, Temperature	Разброс параметров изготовления, напряжения и температуры, который учитывают при калибровке.
Eye	Eye Diagram	Глазковая диаграмма — наложение множества битовых интервалов сигнала. Её раскрытие показывает запас по времени и напряжению в выбранной точке измерения. Если проще: допустимые диапазоны времени и напряжения для корректного приёма сигнала.
Margin	Signal Margin	Запас до границы появления ошибок сигнала. Стабильность работы ОС проверяют отдельно.

Термин	Английское название	Объяснение на русском
Crosstalk	Signal Crosstalk	Взаимное электромагнитное влияние соседних линий.
Tap	Delay Tap / Equalizer Tap	В линии задержки — отдельный отвод или шаг регулировки; в DFE — коэффициент коррекции вклада одного из предыдущих символов.
Bypass	Bypass Mode	Обход узла или пути прохождения сигнала либо питания. В режиме VccDLL Bypass меняется путь питания, при этом DLL продолжает работать.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Документация JEDEC DDR5, Intel и производителей DRAM; главы 01-10, 14.

12.8 ТРЕНИРОВКА, БУТ И ВОССТАНОВЛЕНИЕ

При обучении подбираются задержки, Vref и компенсации для текущего бута. После одного успешного POST проверяют, повторяется ли результат при холодных бутах и ребутах.

Термин	Английское название	Объяснение на русском
Memory Training	Memory Interface Training	Подбор задержек, опорных напряжений Vref, терминации ODT и компенсаций интерфейса памяти.
Auto	Automatic Firmware-Controlled Value	Режим, в котором BIOS/MRC автоматически выбирает значение параметра. Оно может отличаться от стандартного или минимального значения.
Trained Value	Value Determined by Training	Значение, полученное при обучении интерфейса памяти. При ускоренном буте прошивка может повторно использовать сохранённый результат предыдущего обучения.
Full Training	Full Memory Training	Полный цикл обучения, предусмотренный BIOS/MRC для текущей конфигурации. Состав этапов зависит от платформы и настроек.
Full Retrain	Full Memory Retraining	Повторное полное обучение после изменения условий.
Cold Training	Training after a Cold Start	Обучение памяти при буте после снятия питания. Полный цикл MRC при таком буте выполняется не всегда.
1D / 2D	One-/Two-Dimensional Training	Поиск рабочего положения по одной или двум координатам. В обучении памяти 1D может подбирать задержку при фиксированном Vref, а 2D — исследовать сочетания задержки и Vref. Конкретные координаты определяются этапом тренировки.

Термин	Английское название	Объяснение на русском
RDTC2D	Read Timing Centering 2D	Переключатель этапа двумерного центрирования времени чтения в Intel FSP и соответствующих реализациях BIOS. Управляет выполнением этапа обучения; точное применение зависит от прошивки.
Per-Bit	Per-Bit Training	Раздельная калибровка линий данных DQ.
MPR	Multi-Purpose Register	В DDR4 регистр MPR хранит шаблоны обучения. В DDR5 эти шаблоны задаются через регистры режима MR.
WL	Write Leveling	Выравнивание строба записи DQS относительно тактового сигнала CK.
RTL	Round-Trip Latency	На Intel Alder Lake и Raptor Lake это поле отражает задержку от команды READ до первых данных в контроллере памяти для каждого ранга, в единицах QCLK. Масштаб отображения в утилите и пересчёт в наносекунды требуют проверки. См. раздел 5.7.
RTLA / RTLB	Round-Trip Latency A / B	Обозначения RTL для сторон A/B в эмпирической формуле из раздела 5.7. Соответствие этих обозначений строкам MC/C в ATC проверяют для конкретного отображения.
IOL	I/O Latency	Отдельный параметр задержки ввода-вывода в BIOS некоторых платформ DDR4. Особенности параметров DDR5 и доступа к ним описаны в разделе 5.7.
RTL Init	Round Trip Latency Initial Value	Начальное значение для поиска RTL при обучении. Итоговое значение может отличаться от начального.
RTL Max	Round Trip Latency Maximum	Верхняя граница поиска RTL при обучении в BIOS ASUS. Итоговое значение может быть ниже этой границы.
RTL Offset	Round Trip Latency Offset	Смещение RTL в BIOS ASUS, для которого отдельно задаются знак и величина. Действие зависит от реализации; применимость уменьшения на 1–2 проверяют для конкретной прошивки.
TAT	Turn-Around Timing	Интервалы при смене направления передачи данных или участника обмена на шине.
RMT	Rank Margin Tool	Средство Intel для оценки запаса интерфейса памяти по времени и напряжению для рангов и доступных сигнальных групп. Результаты показывают границы прохождения встроенных проверок; повседневную устойчивость профиля проверяют отдельными нагрузками.
Cold Boot	Cold Boot / Cold Start	Бут после выключения; состояние дежурного питания следует уточнять.

Термин	Английское название	Объяснение на русском
AC Cold Start	Cold Start after AC-Power Removal	Колдбут после полного снятия внешнего и дежурного питания.
Warm Restart	Warm Boot / Warm Restart	Ребут без полного снятия питания. Warm в названии прошивки обозначает тип запуска; температуру компонентов учитывают отдельно.
S5	ACPI S5 Soft-Off State	Состояние программного выключения по ACPI, в котором дежурное питание может сохраняться.
MRC Fast Boot	Memory Reference Code Fast Boot	Ускоренный путь инициализации памяти Intel, при котором прошивка может использовать сохранённые результаты обучения и пропускать часть тренировок. Условия повторного использования и состав выполняемых этапов зависят от BIOS/MRC.
BIOS Fast Boot	Firmware Fast Boot	Режим сокращённого POST. MRC Fast Boot отдельно управляет сокращённой повторной инициализацией памяти.
Windows Fast Startup	Operating-System Fast Startup	Быстрый запуск Windows через гибридное выключение: пользовательские сеансы закрываются, а состояние ядра и драйверов сохраняется в файле гибернации и восстанавливается при следующем буте. Команда «Перезагрузка» выполняет новую инициализацию Windows независимо от Fast Startup.
No-POST	Failure to Complete POST	Система не завершила инициализацию оборудования.
Recovery	Firmware Recovery Procedure	Возврат к настройкам, с которыми система может пройти бут после неудачного POST.
Clear CMOS	Clear CMOS Settings (CMOS: Complementary Metal-Oxide-Semiconductor)	Сброс сохранённых настроек BIOS. Название CMOS в этой команде сохранилось исторически.
DIMM Fit	ASUS DIMM Fit	Функция ASUS, которая автоматически подбирает параметры памяти для текущей конфигурации и сохраняет результат в выбранном Store. Завершённый подбор даёт кандидат на рабочий профиль; его устойчивость проверяют отдельными тестами.
DIMM Fit Pro	ASUS DIMM Fit Pro	Расширенный режим ASUS DIMM Fit с выбором параметров, диапазонов и числа проходов автоматического подбора, включая доступные напряжения. Результат сохраняется в Store и требует проверки под нагрузкой. Набор опций зависит от платы и BIOS.

Термин	Английское название	Объяснение на русском
Training Consistency	Memory-Training Consistency	Функция для повышения повторяемости обучения памяти. Проверку под нагрузкой выполняют отдельно.
Memory Preset	Firmware Memory Preset	Подготовленный производителем набор исходных настроек памяти.

РАЗБОР RTL/IOL И ПРИМЕРЫ РАСЧЁТА — РАЗДЕЛ 5.7

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Intel FSP Raptor Lake-S: RDTC2D; руководства ASUS по BIOS; глава 05.

> **БУТ И РЕБУТ: СОГЛАСОВАННЫЕ ТЕРМИНЫ**
>
> **Бут —** обычный запуск системы
>
> **Холодный бут —** запуск системы после простоя
>
> **Ребут —** обычный перезапуск системы
>
> **Колдбут —** холодный запуск системы с полным снятием питания
>
> **Холодный ребут —** ребут «холодной» системы, не прогретой тестами
>
> **Теплый ребут —** ребут «горячей» системы, после или в процессе тестирования, с прогретыми компонентами

12.9 ПРОФИЛИ, ОШИБКИ И СТАБИЛЬНОСТЬ

Стабильность оценивают в указанных условиях. Успешный POST, прохождение теста производительности, снимок экрана и проверенная повседневная работа дают разные основания для вывода о стабильности.

Термин	Английское название	Объяснение на русском
Baseline	Baseline Configuration	Зафиксированная исходная конфигурация для контролируемого сравнения.
Profile	Saved Configuration Profile	Сохранённый набор настроек и условий работы. Стабильность этого набора подтверждают отдельными проверками.
Daily	Daily-Use Profile	Профиль для повседневной работы, проверенный в выбранных тестах и реальных задачах при ожидаемых температурах. Условия проверки, напряжения и запас по настройкам фиксируют вместе с профилем.
Benchmark profile	Benchmark-Stable Profile	Настройки, работоспособность которых подтверждена только указанным тестом производительности.
Screenshot profile	Screenshot-Only Profile	Профиль для снимка параметров без полной проверки.

Термин	Английское название	Объяснение на русском
Safe JEDEC	Safe JEDEC Baseline	Резервный штатный профиль для восстановления системы.
Validation	Configuration Validation	Проверка соответствия заданным условиям. В CPU-Z и HWBOT так также называют регистрацию параметров или результата; стабильность проверяют отдельно.
Stability	Operational Stability	Отсутствие ошибок в перечисленных условиях и сценариях.
Pass	Successful Test Pass	Завершённый проход теста без зарегистрированных ошибок.
Fail / Error	Test Failure / Detected Error	Ошибка или сбой теста; требуется диагностика, успешный проход не засчитывается.
Coverage	Test Coverage Percentage	Счётчик выполненной проверки в конкретной программе, часто выраженный в процентах. Значение 100% не означает проверку всех возможных ошибок, а одинаковые проценты в разных программах не задают одинаковый объём проверки.
Cycle	Test Cycle	Один полный проход набора алгоритмов конкретного теста.
A/B Test	Controlled A/B Comparison	Сравнение двух вариантов при изменении одной переменной.
Sweet Spot	Optimal Operating Window	Лучший баланс результата, температуры, напряжения и повторяемости.
Hot Stability	Stability at Thermal Equilibrium	Стабильность после того, как температура памяти и системы перестаёт заметно расти под нагрузкой.
Thermal Margin	Temperature Margin	Запас до температуры, при которой появляются ошибки.
Pre-OS	Pre-Operating-System Environment	Среда до запуска операционной системы; пример — тест MemTest86, работающий в UEFI.
Системная ECC	System-level Error-Correcting Code	коррекция ошибок на уровне контроллера памяти процессора. Отдельный уровень коррекции, который обычно применяется в серверах и рабочих станциях.
on-die ECC	On-Die Error-Correcting Code	коррекция внутри IC (микросхемы) DRAM. IC хранит собственные проверочные биты и исправляет одиночную ошибку в своём внутреннем блоке данных перед его выдачей. Это базовая функция всех стандартных DDR5, включая обычные настольные UDIMM и CUDIMM.

Термин	Английское название	Объяснение на русском
non-ECC	Non-ECC Memory	в обозначении модуля означает отсутствие системной ECC. Внутренняя on-die ECC у DDR5 такого типа сохраняется.
ECS	Error Check and Scrub	Отдельный обход массива DRAM с on-die ECC и записью исправленных данных. Счётчики относятся к обходу ECS; их чтение требует поддержки платформы.
Corrected ECC errors	Corrected ECC Error Events	Ошибки, исправленные системной ECC и зарегистрированные платформой.
ECC injection	Error-Correcting Code Error Injection	Искусственное внесение ошибки для проверки системной ECC на поддерживаемой платформе.
WHEA	Windows Hardware Error Architecture	Архитектура Windows для получения и обработки сообщений об аппаратных ошибках, включая ошибки CPU, кэша, памяти и PCIe. Запись WHEA требует анализа источника; отсутствие таких записей не подтверждает отсутствие ошибок оперативной памяти.
DMA	Direct Memory Access	Прямой обмен данными между устройством и памятью: передачу выполняет оборудование, освобождая процессор от пересылки каждого элемента данных.
NUMA	Non-Uniform Memory Access	Архитектура памяти, в которой задержка доступа зависит от расположения памяти относительно обращающегося к ней процессора.
CRC	Cyclic Redundancy Check	Циклический избыточный код для обнаружения повреждения данных. В DDR5 предусмотрены механизмы CRC для обмена по интерфейсу; их использование зависит от режима и поддержки контроллера.
Row disturbance / Row Hammer	Row-Disturbance Bit Flips / Row Hammer	Ошибки данных в строках-жертвах из-за многократных активаций строк-агрессоров. Конкретный сценарий может затрагивать несколько строк.
PPR	Post-Package Repair	Замена дефектных строк DRAM резервными. Soft PPR действует временно; результат Hard PPR сохраняется после отключения питания.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: SK hynix DDR5 32Gb Rev.1.2: ECS; руководства тестов; главы 07, 10.

12.10 ИНСТРУМЕНТЫ, НАГРУЗКИ И МЕТРИКИ

Нагрузочный тест выявляет ошибки. Тест производительности измеряет скорость выполнения работы.

Термин	Английское название	Объяснение на русском
Stress Test	Stress Test	Нагрузочный тест для поиска ошибок. Оценку производительности выполняют отдельным тестом.
Component Stress	Component-Specific Stress Test	Алгоритм, целенаправленно нагружающий CPU, IMC либо RAM.
y-cruncher	y-cruncher Component Stress Tester	Программа с вычислительными нагрузками для процессора, контроллера памяти и оперативной памяти.
SVT	Small In-Cache VT3	Малая версия VT3 с рабочим набором в кэше. Преимущественно проверяет процессор и кэш, используя небольшой объём оперативной памяти.
VT3	Vector-Scalable Transform, Version 3	Вычислительная нагрузка с операциями с плавающей точкой и большим набором данных, нагружающая процессор, контроллер памяти и оперативную память. Используется вместо устаревшего VST.
FFT	Fast Fourier Transform	Быстрое преобразование Фурье. В нагрузочных тестах включает интенсивные вычисления с плавающей точкой и обращения к памяти.
NTT	Number-Theoretic Transform	Теоретико-числовое преобразование: операции над целыми числами с использованием остатков от деления. В y-cruncher применяется для быстрого умножения больших чисел.
AVX	Advanced Vector Extensions	Набор широких векторных инструкций процессора.
FPU	Floating-Point Unit	Вычислительный блок операций с плавающей точкой.
TM5	TestMem5	Программа для тестирования памяти в Windows с подключаемыми конфигурациями тестов.
Karhu	Karhu RAM Test	Программа для тестирования выделенного объёма оперативной памяти в Windows. Показатель coverage отражает объём выполненной проверки.
MemTest86	PassMark MemTest86	UEFI-тест памяти до запуска операционной системы.
RAM Test Pro	PCSTONKS RAM Test Pro	Утилита для Windows с настраиваемыми тестами памяти, журналом ошибок и мониторингом WHEA.
OCCT	Historically: OverClock Checking Tool	Набор нагрузочных тестов и тестов производительности под названием OCCT.
AIDA64	AIDA64 Cache & Memory Benchmark	В тесте Cache & Memory Benchmark измеряет скорость чтения, записи и копирования данных, а также задержку доступа к памяти.
MLC	Memory Latency Checker	Инструмент Intel для измерения задержки доступа к памяти и её пропускной способности.

Термин	Английское название	Объяснение на русском
CPU-Z	CPU-Z	Программа, которая показывает сведения о процессоре и материнской плате, действующие параметры памяти и данные SPD.
ATC	ASRock Timing Configurator	Утилита просмотра таймингов памяти и RTL; состав полей зависит от платформы и версии. См. 5.7.
HWiNFO	HWiNFO	Программа для мониторинга показаний датчиков, включая минимальные и максимальные значения.
Benchmark	Performance Benchmark	Тест для измерения производительности. Стабильность оценивают отдельными проверками.
Latency	Access Latency	Время между запросом и ответом. В тесте памяти итоговая задержка включает работу контроллера, очередей и пути доступа.
Bandwidth	Memory Bandwidth	Пропускная способность памяти, обычно в GB/s. Теоретический предел рассчитывают по скорости передачи и суммарной ширине линий данных; измеренное значение зависит от нагрузки, таймингов, контроллера и доли обращений, обслуженных кэшем.
Throughput	Sustained Throughput	Фактическая скорость передачи или обработки данных с учётом накладных расходов.
GB/s / ns	Gigabytes per Second / Nanoseconds	GB/s — гигабайты в секунду, единица пропускной способности; ns — наносекунды, единица задержки.
Median / P1 / P99	Median / First / Ninety-Ninth Percentile	Медиана — 50-й процентиль: центральное значение упорядоченной выборки. P1 и P99 задают границы нижнего 1% и нижних 99% значений. Метод расчёта процентилей, измеряемую величину и направление улучшения указывают вместе с результатом.
FPS / 1% Low	Frames per Second / Slowest-One-Percent Frame Metric	FPS обозначает частоту кадров в секунду. 1% Low характеризует редкие медленные кадры; метод его расчёта указывают вместе с результатом.
Frametime	Frame Time / Frame Interval	Интервал между последовательными кадрами или событиями Present; точный смысл зависит от выбранной метрики.
CPU-/GPU-limit	CPU-/GPU-Limited Workload	Ситуация, в которой производительность ограничивает процессор или видеокарта. От этого зависит, насколько заметно влияние оперативной памяти на результат.
Throttling	Thermal/Power Throttling	Автоматическое снижение частоты из-за температуры, тока или лимита мощности.

Термин	Английское название	Объяснение на русском
Gbit / GB	Gigabit / Gigabyte	Gbit — гигабит, GB — гигабайт; один байт содержит 8 бит. В спецификациях DRAM обозначения Gb/GB традиционно используют и для двоичной ёмкости: кристалл 16 Gb содержит 2^{34} бит. Строгое обозначение 2^{30} байт — GiB.
HCI MemTest	HCI MemTest	Программа HCI Design для проверки оперативной памяти. Обычная и Pro-версии работают в Windows и проверяют доступную программе память; Deluxe включает отдельную загрузочную версию для CSM/Legacy BIOS.
Large Pages	Large Pages	Страницы памяти увеличенного размера. Они позволяют отображать больший объём памяти одной записью трансляции адресов и могут уменьшать связанные с трансляцией накладные расходы.
RNG	Random Number Generator	Генератор случайных или псевдослучайных чисел. В тестах памяти такие последовательности используются для формирования проверочных данных.
Working set	Working set	В контексте алгоритма теста — данные, к которым он обращается во время работы. Размещение этих данных в кэше CPU сокращает обмен с DRAM. В терминологии Windows working set процесса означает другой показатель: его страничную память, которая сейчас находится в физической ОЗУ.
Paging	Paging	В руководстве — перенос страниц между оперативной памятью и файлом подкачки на накопителе. Активная подкачка во время теста памяти меняет нагрузку и может значительно замедлить проверку.

ИЗУЧЕННАЯ ДОКУМЕНТАЦИЯ: Документация JEDEC DDR5, Intel и производителей DRAM; главы 01-10, 14.

12.11 ПРОДВИНУТАЯ НАСТРОЙКА TRAINING ALGORITHMS

Термины, используемые в продвинутом разборе обучения памяти.

Термин	Английское название	Объяснение на русском
RxVref	Receiver Reference Voltage	Порог распознавания данных на стороне приёмника CPU при чтении. Настраивается отдельно от DRAM VrefDQ, используемого при записи.
DQS gating	DQS Receive Gating	Управление окном приёма строба DQS: приёмник открывается к ожидаемому началу передачи данных при чтении.

Термин	Английское название	Объяснение на русском
Deskew	Timing Deskew	Компенсация различий задержек между сигнальными линиями. При per-bit deskew задержку каждой линии данных DQ подстраивают отдельно.
FIFO	First In, First Out	Буфер, который выдаёт данные в порядке поступления. Задержки приёмного FIFO помогают согласовать время возврата данных в контроллер памяти.
PI	Phase Interpolator	Фазовый интерполятор формирует нужное положение фронта между доступными фазами тактового сигнала.
LVR	Linear Voltage Regulator	Линейный регулятор напряжения. В рассматриваемой архитектуре Intel такие регуляторы питают внутренние узлы физического интерфейса памяти (PHY).
LFSR	Linear Feedback Shift Register	Регистр сдвига с линейной обратной связью. Создаёт псевдослучайные битовые последовательности, используемые в шаблонах обучения.
Swizzle	DQ/DQS Swizzle	Соответствие логических линий DQ/DQS физической разводке с учётом допустимых перестановок линий.
Address aliasing	Address Aliasing	Разные логические адреса указывают на один участок физической памяти. Такое возможно при неверно описанной организации DRAM.
BDAT	BIOS Data ACPI Table	Интерфейс передачи диагностических данных BIOS программам. Таблица ACPI BDAT указывает на область со структурами данных, среди которых могут быть результаты RMT. Наличие и состав этих данных зависят от прошивки и включённых средств диагностики.

13 / ИСПОЛЬЗУЕМАЯ ДОКУМЕНТАЦИЯ

Первичные и технические материалы, использованные для проверки терминов, ограничений платформы и методики настройки и тестирования. Достоверность утверждения оценивается по подтверждающим данным и способу проверки. На одной площадке могут встречаться материалы разного уровня достоверности.

СТАНДАРТЫ JEDEC

- JEDEC JESD79-5D: DDR5 SDRAM, редакция 1.41, ноябрь 2025.
- JEDEC JESD400-5D.01: содержимое SPD DDR5, январь 2026.

INTEL: ПРОЦЕССОРЫ И КОНТРОЛЛЕР ПАМЯТИ

- Intel Core 12-го поколения: техописание, том 1, документ 655258, редакция 011, май 2025.
- Intel Core 13/14-го поколения и Core Series 1/2: техописание, том 1, 743844, ред. 015, май 2025. Разделы: интерфейс памяти, контроллер, организация, частота, точки SAGV и Power Training (обучение энергопотребления DDR). Intel Core 14-го поколения для настольных ПК: краткое описание продукта.
- Intel Core 13-го поколения: техописание, том 2, документ 743846; регистры TC_* контроллера памяти.
- Intel Core Ultra 200S/200S Plus/200HX/200HX Plus: техописание, том 1, документ 832586, редакция 007, март 2026.
- Intel Core Ultra 200S/200HX: регистры CFG & MEM, документ 835538, версия 001, январь 2025.
- Intel: документация XMP 3.0 и 200S Boost; таблицы поддержки Intel ARK.
- Intel: внешний интерфейс DDR5, материалы MRC/FSP и рекомендации по установке LGA1700/LGA1851.
- Intel Core 13: техописание, том 2, SC_ROUNDTRIP_LATENCY (13.07.2023).
- Intel Core 13: техописание, том 2, MC_BIOS_REQ (13.07.2023).
- Intel. RaptorLakeS FSP: FspmUpd.h (доступ 05.09.2026).

AMD: КОНТРОЛЛЕРЫ ПАМЯТИ

- AMD. контроллер памяти DDR5/LPDDR5/5X, PG456: DQS Gate (07.08.2026).
- AMD. контроллер памяти DDR5/LPDDR5/5X, PG456: Mode Register Settings (07.08.2026).
- AMD. Versal Soft DDR4 Memory IP, PG353: DQS Gate (v1.0, доступ 05.09.2026).

МАТЕРИНСКИЕ ПЛАТЫ И BIOS

- ASUS ROG Z790: BIOS E21287, 1-е издание, ноябрь 2022; Maximus Z790 Apex Encore: руководство E22481, октябрь 2023; примечания BIOS 2202.
- ASUS ROG Z890: BIOS E25061; Maximus Z890 Apex: характеристики, QVL, примечания BIOS; документация DIMM Fit/Pro, Flex, Memory Gear и XMP.
- MSI Intel 600/700/800: руководства по BIOS; MEG Z790 GODLIKE MAX: характеристики и QVL.
- ASRock Timing Configurator 4.1.7; ответы ASRock № 505.
- Gigabyte Z690/Z790/Z890 и Tachyon: руководства, характеристики, QVL и примечания BIOS; EVGA Z690/Z790: руководства плат.

МАТЕРИНСКИЕ ПЛАТЫ И BIOS (ПРОДОЛЖЕНИЕ)

- ASUS ROG Z790: руководство по BIOS E21287, с. 28-33 (11.2022).
- ASUS ROG Z790: руководство по BIOS E22758, с. 31, 33 (10.2023).
- ASUS ROG Z890: руководство по BIOS T25061, с. 28-36 (02.2025).
- ASUS ROG STRIX Z390-F GAMING: руководство по BIOS E14966, с. 26-27 (11.2018).
- ASUS ROG Maximus Z790 Apex Encore: руководство пользователя E22481, с. 1-2 (10.2023).
- ASRock Intel Z790: настройка ПО/BIOS, версия 1.0, с. 42-43 (09.2022).
- MSI Intel 700: BIOS, Lucky Mode, с. 46 (доступ 05.09.2026).
- EVGA Z790 DARK K|NGP|N: руководство, 121-RL-E799-KR, версия 2 (авторское право: 2022).
- GIGABYTE. Z790 AORUS TACHYON: XTREME MEMORY (доступ 06.09.2026).
- MSI MEG Z690 UNIFY-X: техническое описание, раздел о разгоне DDR5 (13.02.2023).
- ASRock B650E PG Riptide WiFi: QVL памяти; DS для Samsung M323R4GA3BB0-CQKOL и SK hynix HMCG88AGBUA081N. Доступ 06.09.2026.
- MSI S1102-01 (MS-S336 Air): список AVL компонентов; Samsung M323R4GA3BB0-CQKOL, 32 ГБ DDR5-4800, 2Rx8.

DRAM И СЛУЖЕБНЫЕ МИКРОСХЕМЫ

- Micron: обзор новых возможностей DDR5 и клиентских модулей; техописания микросхем 16 Гбит и модулей.
- Micron DDR5 SDRAM Core: техописание, ред. E (11.2024); команды, точки отсчёта таймингов и CWL.
- SK hynix DDR5: документация микросхем 16/24 Гбит и модулей; материалы о M-die 24 Гбит и маркировках.
- SK hynix DDR5 SDRAM 32Gb M-die, ред. 1.2 (07.2025): скоростные классы и пределы tFAW.
- Samsung DDR5 x8/x16: техописания и таблицы таймингов; сравнение с DDR4 8-Gbit B-die.
- Renesas SPD5108/SPD5118: техописание R10DS0299EU0111, ред. 1.11; RG5C172 CKD: R10DO0011EU0100, ред. 1.00; документация P8911 PMIC.
- Kingston: обзор DDR5, ответы о нетипичных ёмкостях и сведения о маркировках; G.SKILL, Corsair, TEAMGROUP: характеристики продукции.
- Micron DDR5 DRAM: сравнение возможностей DDR4/DDR5 (доступ 05.09.2026).
- Kingston KSM48R40BS4TMI-32MDI: 32 ГБ DDR5-4800 1Rx4 ECC RDIMM. Техописание 4811278A, ред. A, 2024, с. 1-2.
- Kingston KVR56U46BD8-32: DDR5-5600 32 ГБ 2Rx8, 16 FBGA; схема сторон. Техописание VALUERAM1675A, с. 1-2.

DRAM И СЛУЖЕБНЫЕ МИКРОСХЕМЫ (ПРОДОЛЖЕНИЕ)

- Kingston KVR56U46BD8-64: DDR5-5600 64 ГБ 2Rx8, DRAM 32 Гбит. Техописание VALUERAM1740A, ред. A, с. 1-2.
- Kingston. Introduction of 32 Гбит DRAM: конфигурации non-ECC UDIMM/CUDIMM/SODIMM/CSODIMM. Доступ 06.09.2026.
- Micron MTC16C2085S1UC: дополнение о DDR5 UDIMM 32 ГБ, DRAM 16 Гбит, ревизия A. Ред. F, 10/2021, с. 1-2; копия техописания на Octopart.

- Netlist: краткое описание модулей DDR5, семейство SK hynix HMCG88AGBUA, 32 ГБ 2Rx8, 16 SDP, с. 2.
- Innodisk M5UZ-BGM2KC0Q-D DDR5 UDIMM: лист характеристик, ред. 1.0, 10/2023; 16 IC, 2 ранга, 2 стороны, с. 2. Копия у ROSCH.
- Kingston KVR56S46BD8-32: DDR5-5600 32 ГБ 2Rx8 SO-DIMM, 16 FBGA; схема сторон. Техописание VALUERAM1687A, с. 1-2.
- Intel. Explaining Common Chip Terms: IC, die, package (09.03.2026).
- SIMMTECH. BOC: подложки корпусов DRAM DDR4/DDR5 (доступ 06.09.2026).
- Micron. LPCAMM2: No compromise for next-gen laptops. DDR5 DDP (доступ 06.09.2026).
- V. Solberg, W. Zohni. Near Term Solutions for 3D Packaging of High Performance DRAM. Invensas, с. 2.

ТЕСТИРОВАНИЕ СТАБИЛЬНОСТИ

- y-cruncher 0.8.7.9547b: документация Component Stress Tester (компонентного нагрузочного теста).
- Karhu RAM Test 1.1.0.0: документация, README и рекомендации разработчика.
- CoolCmd TestMem5 0.13.1: документация; конфигурации сообщества Serj, LMHz, anta777 и 1usmus.
- PassMark MemTest86 11.7 Build 1000: документация.
- PCSTONKS RAM Test Pro 1.5.0: руководство, выпуск.
- Документация OCCT 17.1.10 и HCI Design MemTest 7.

ТЕСТЫ И КОНТРОЛЬ ПОКАЗАТЕЛЕЙ

- AIDA64 Extreme 8.40.5000: руководства по тестам.
- CPUID CPU-Z 3.01 и CPU-Z Validator V3: документация.
- HWiNFO 8.54: документация; Martin Malik: телеметрия PMIC DDR5 и конфликты опроса (2022-2026).
- Intel Memory Latency Checker 3.13, Intel PresentMon, CapFrameX: документация.
- 7-Zip 26.05, Cinebench 2026 и правила тестов производительности HWBOT.

ТЕСТЫ И КОНТРОЛЬ ПОКАЗАТЕЛЕЙ (ПРОДОЛЖЕНИЕ)

- ASUS MemTweakIt: руководства и обсуждение совместимой сборки сообщества.

ЦЕЛОСТНОСТЬ ДАННЫХ И ЭКСПЛУАТАЦИЯ

- Microsoft: документация Windows Hardware Error Architecture (WHEA).
- Microsoft: документация резервного копирования, восстановления Windows и BitLocker.
- CISA: варианты резервного копирования.
- Noctua: установка Intel LGA и документация прижимных рамок.
- Tom Bonifield / Texas Instruments. Enabling high voltage signal isolation quality and reliability, SSZY028 (03.2017), рис. 5. Высоковольтная изоляция; численные значения не относятся к DDR5.

МАТЕРИАЛЫ СООБЩЕСТВА И ОРИГИНАЛЬНЫЕ ИЗМЕРЕНИЯ

- Xaver Amberger / Igor'sLAB. One Motherboard, Two Faces: ASUS ROG Maximus Z690 Apex (31.03.2022).
- PhoenixMDA. G.Skills neuer Ultra Low Latency 2x24 ГБ DDR5-6000CL26 im Test (30.05.2025). Сравнение обдува и водоблока на AM5.
- ASUS ROG Forum и Hardwareluxx: обсуждения разгона Intel DDR5.
- UNIKO's Hardware: тестирование DIMM Fit Pro на ROG Maximus Z890 Apex, июнь 2026.
- ASUS ROG: поддержка, медленный запуск Z790; Silent_Scone (03.11.2023).
- Overclockers.ru / anta777. DDR5 на Intel: формула RTL, сообщение anta777 (19.02.2024).
- Overclockers.ru. DDR5 на Intel: цитирование формулы и разногласия о результатах (27.02.2023).
- ASUS ROG / Silent_Scone. Z790 APEX - The 8GHz goal and beyond (21.06.2023).
- ASUS ROG: проблемы обучения Z790 Apex Encore DDR5 48 ГБ, ответы Silent_Scone (19.02.2024).
- Overclockers.ru / little fish. DDR5 на Intel: сообщение о ручном снижении RTL на EVGA DARK и MSI-I (01.02.2024).
- HWBOT / asdkj1740, sergmann, passionne56. Gigabyte Z690 Tachyon: ручной ввод RTL и обучение, с. 23 (22.02 и 28-30.03.2023).
- RAMGuide. Advanced PCB DDR4: Physical and logical ranks. Пример ранних Corsair 8 ГБ на Hynix MMR; точный SKU не указан.

13.1 TRAINING ALGORITHMS: источники

Источники к главе 06: меню ASUS, интерфейс Intel FSP и документация по обучению интерфейса памяти.

- ASUS ROG Z790 Series BIOS Manual — E21287 — Названия и доступные варианты алгоритмов Z790; ранняя редакция.
- ASUS ROG Z790 Series (Intel® 14th) BIOS Manual — E22758 — Названия алгоритмов Z790, включая Periodic DCC.
- ASUS ROG Z890 Series BIOS Manual — E25061 — Названия алгоритмов Z890 и отличия меню от Z790.
- Intel FSP — RaptorLakeS / FspmUpd.h — Поля интерфейса обучения и диагностики Raptor Lake-S.
- Intel FSP — ArrowLakeS IoT / FspmUpd.h — Поля интерфейса Arrow Lake-S; не полная реализация BIOS ASUS.
- Intel MRC — MrcCrosser.c (Tiger Lake) — Исторический исходный код: ODT, драйверы, эквализация и компенсации.
- Intel MRC — MrcReadReceiveEnable.c (Ice Lake) — Исторический исходный код Receive Enable, RTL и приёмного FIFO.
- Intel MRC — MrcMemoryScrub.c (Tiger Lake) — Проверка геометрии SPD и ограничения исторического Alias Test.
- SK hynix 16Gb DDR5 SDRAM — Шаблоны DDR5, Vref, ODT, DFE/DCA и ремонт PPR.
- 8.4GTS LPDDR5x and 6.4GTS DDR5 Combo PHY — EPEPS 2025 — Аннотация авторов Intel: PI и линейные регуляторы LVR в PHY Meteor Lake/Arrow Lake.

> **РЕДАКЦИИ И ДАТА ДОСТУПА**
>
> Номера редакций и исторические даты сохранены. Текущие загрузки и ссылки сверены 20.10.2026. Загрузки AIDA64 обновлены до 8.40.5000; результаты главы 8 относятся к указанной там версии 8.35.